

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:  
Kaoru URATA et al

Art Unit: N/A

Application No.: Not Yet Assigned

Filed: April 2, 2004

For: DATA RECORDING APPARATUS METHOD  
AND DATA RECORDING APPARATUS

**CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS**

MS Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

Country	Application No.	Date
Japan	P2003-101296	April 4, 2003

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: April 2, 2004

Respectfully submitted,

By \_\_\_\_\_

Ronald P. Kananen

Registration No.: 24,104

**Rader, Fishman & Grauer PLLC**  
Suite 501  
1233 20th Street, N.W.  
Washington, D.C. 20036  
Telephone: (202) 955-3750  
Facsimile: (202) 955-3751  
Customer No.: 23353

504P04324N800

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年 4月 4日

出願番号 Application Number: 特願2003-101296

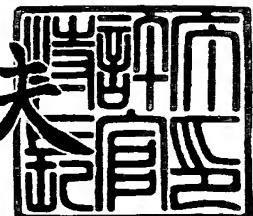
[ST. 10/C]: [JP 2003-101296]

出願人 Applicant(s): ソニー株式会社

2004年 1月 29日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2004-3004253

【書類名】 特許願

【整理番号】 0390157202

【提出日】 平成15年 4月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 9/80

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内

【氏名】 後田 薫

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内

【氏名】 小菅 庄司

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100090376

【弁理士】

【氏名又は名称】 山口 邦夫

【電話番号】 03-3291-6251

【選任した代理人】

【識別番号】 100095496

【弁理士】

【氏名又は名称】 佐々木 築二

【電話番号】 03-3291-6251

【手数料の表示】

【予納台帳番号】 007548

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709004

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ記録方法およびデータ記録装置

【特許請求の範囲】

【請求項 1】 入力データに対して符号化単位毎に積符号を用いたエラー訂正符号化を行い、該エラー訂正符号化された一個または複数個の符号化単位のデータを記録媒体の一本または複数本のトラックに記録するデータ記録方法であって、

上記一本または複数本のトラックに対して、最初は内符号演算データ系列を構成する上記入力データのデータ列に内符号パリティを付加してなる第1のシンクブロックを順次記録し、該第1のシンクブロックの記録が終了した後に内符号演算データ系列を構成する外符号パリティのデータ列に内符号パリティを付加してなる第2のシンクブロックを順次記録する

ことを特徴とするデータ記録方法。

【請求項 2】 上記一本または複数本の記録トラックに記録されるエラー訂正符号化された一個または複数個の符号化単位のデータのそれぞれにおける外符号パリティの演算を複数回に分けて処理する

ことを特徴とする請求項1に記載のデータ記録方法。

【請求項 3】 入力データに対して符号化単位毎に積符号を用いたエラー訂正符号化を行い、該エラー訂正符号化された一個または複数個の符号化単位のデータを記録媒体の一本または複数本のトラックに対して記録するデータ記録装置であって、

符号化単位毎に外符号演算データ系列を構成するデータ列に対して外符号パリティを演算して得る外符号パリティ演算手段と、

符号化単位毎に内符号演算データ系列を構成するデータ列に対して内符号パリティを演算して得る内符号パリティ演算手段と、

上記一本または複数本のトラックに対して、最初は内符号演算データ系列を構成する上記入力データのデータ列に上記内符号パリティ演算手段で演算して得られた内符号パリティを付加してなる第1のシンクブロックを順次記録し、該第1のシンクブロックの記録が終了した後に、内符号演算データ系列を構成する、上

記外符号パリティ演算手段で演算されて得られた外符号パリティのデータ列に上記内符号パリティ演算手段で演算して得られた内符号パリティを付加してなる第2のシンクブロックを順次記録する記録手段と  
を備えることを特徴とするデータ記録装置。

**【請求項 4】** 上記記録媒体の一本または複数本のトラックに対して、エラー訂正符号化されたn個（nは2以上の整数）の符号化単位のデータを記録し、  
上記外符号演算手段は、外符号パリティを演算するための演算器を、少なくとも上記n個有する  
ことを特徴とする請求項3に記載のデータ記録装置。

**【請求項 5】** 上記記録媒体の一本または複数本のトラックに対して、エラー訂正符号化されたn個（nは2以上の整数）の符号化単位のデータを記録し、  
上記外符号演算手段は、外符号パリティを演算するための演算器を、上記n個より少ない個数有し、上記n個の符号化単位のデータのそれぞれにおける外符号パリティの演算を複数回に分けて処理する  
ことを特徴とする請求項3に記載のデータ記録装置。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

この発明は、例えばデジタルビデオテープレコーダ等に適用して好適なデータ記録方法およびデータ記録装置に関する。詳しくは、この発明は、入力データに対して符号化単位毎に積符号を用いたエラー訂正符号化を行い、このエラー訂正符号化された一個または複数個の符号化単位のデータを記録媒体の一本または複数本のトラックに記録する際に、最初は内符号演算データ系列を構成する入力データのデータ列に内符号パリティを付加してなる第1のシンクブロックを順次記録し、その後に内符号演算データ系列を構成する外符号パリティのデータ列に内符号パリティを付加してなる第2のシンクブロックを順次記録することによって、入力データの入力が開始された後当該入力データの記録が開始されるまでの時間が短くなるようにしたデータ記録方法およびデータ記録装置に係るものである。  
。

**【0002】****【従来の技術】**

従来、入力ビデオデータのひとまとまり毎に、一個または複数個の符号化単位をもって積符号を用いたエラー訂正符号化を行い、このエラー訂正符号化された一個または複数個の符号化単位のデータを記録媒体、例えば磁気テープ上的一本または複数本の傾斜トラックに記録するデジタルビデオテープレコーダが提案されている（例えば、特許文献1参照）。

**【0003】****【特許文献1】**

特開平09-247709号公報

**【0004】****【発明が解決しようとする課題】**

上述した特許文献1のように、入力ビデオデータに対して符号化単位毎に積符号を用いたエラー訂正符号化を行って記録をするデジタルビデオテープレコーダにあっては、C2パリティ（外符号パリティ）の部分を、例えば、図17に示すように各傾斜トラックの最初および最後の部分に配置して記録していた。図17は、1フィールド分のビデオデータが12本の傾斜トラックに記録されるようになされた例である。この場合、1回のスキャンでは4個のヘッドにより4トラックが並行してスキャンされ、従って12トラックは3回のスキャンで全てスキャンされる。

**【0005】**

このように、C2パリティの部分を各傾斜トラックの最初および最後の部分に配置して記録する場合、各傾斜トラックの最初および最後の部分には、C1演算データ系列を構成するC2パリティのデータ列にC1パリティ（内符号パリティ）が付加されてなるシンクブロックが順次記録され、一方各傾斜トラックの中央の部分には、C1演算データ系列を構成するビデオデータのデータ列にC1パリティが付加されてなるシンクブロックが順次記録される。

**【0006】**

この場合、最初にC2パリティの部分を記録するまでに、当該C2パリティの

演算が終了している必要がある。そのため、結果的に、入力ビデオデータのひとまとまりを全て取り込んだ後、C2パリティを演算し、その演算が完了するまで、傾斜トラックへの記録を開始することができなかった。

#### 【0007】

例えば、入力ビデオデータのひとまとまりが上述した1フィールドである場合、これを全て取り込むまで1フィールドの時間T1がかかり、さらにC2パリティを演算するまでに時間T2がかかったとすると、ECC(Error Correction Code)エンコーダにおけるシステムディレイTaはT1+T2となり、長いシステムディレイが発生する。図18は、ECCエンコーダにおける、従来のシステムディレイTaを示しており、実線aはビデオデータの入力経過を示しており、破線bはC2パリティおよびビデオデータの出力経過を示している。

#### 【0008】

このようにECCエンコーダにおけるシステムディレイTaが長くなると、入力データの入力が開始された後当該入力データの記録が開始されるまでの時間も長くなり、以下のような不都合が発生する。

#### 【0009】

①記録されたビデオデータを直ちに再生して確認する際に、入力ビデオデータによる画像に対して、再生ビデオデータによる画像が時間的に大きくずれ、ユーザによる確認作業が困難となる。

#### 【0010】

②プリリード編集を実行するために、記録ヘッドと再生ヘッドの取り付け高さを大きくずらさなければならず、有効トラック長の短縮によるS/Nの劣化が生じる。

#### 【0011】

ここで、プリリード編集とは、テープの所定部分に記録されている所定フレームのビデオデータを再生し、当該所定フレームのビデオデータにテロップデータを挿入する等の処理を行い、その後に当該所定フレームのビデオデータを、テープ上の上述の所定部分に再記録する、という編集である。

#### 【0012】

図19は、プリリード編集システムの一例を示している。再生ヘッドH pではテープ301の所定部分に記録されている所定フレームのビデオデータを再生する。この場合、再生ヘッドH pで再生される再生信号は再生アンプ302で増幅され、さらに等化回路303で波形等化された後に復号回路304に供給される。復号回路304では、波形等化後の再生信号に対して、例えばビタビアルゴリズムを利用した復号化の処理が行われる。

#### 【0013】

復号回路304より出力されるビデオデータはECC(Error Correction Code)デコーダ305に供給される。このECCデコーダ305では、ビデオデータに付加されているパリティを用いてエラー訂正が行われる。このECCデコーダ305より出力されるエラー訂正後のビデオデータはビデオ伸長回路306に供給されてデータ伸長が行われる。

#### 【0014】

ビデオ伸長回路306より出力されるビデオデータV<sub>a</sub>はスイッチ回路SWのa側の固定端子に供給され、このスイッチ回路SWのb側の固定端子には、ビデオデータV<sub>a</sub>に挿入すべき、例えばテロップデータS<sub>t</sub>が供給される。この場合、スイッチ回路SWは、テロップデータS<sub>t</sub>の供給期間はb側に接続され、その他の期間はa側に接続される。これにより、スイッチ回路SWからは、テロップデータS<sub>t</sub>が挿入されたビデオデータV<sub>b</sub>が出力される。

#### 【0015】

スイッチ回路SWより出力されるビデオデータV<sub>b</sub>はビデオ圧縮回路307に供給されてデータ圧縮が行われる。この場合、例えばビデオデータV<sub>b</sub>が8×8画素の二次元ブロックに分割され、DCT(Discrete Cosine Transform)等のブロック符号化を用いたデータ圧縮処理が行われる。上述せども、ビデオ伸長回路306では、このデータ圧縮の処理とは逆の処理が行われることになる。

#### 【0016】

データ圧縮回路307より出力される圧縮符号化データはECCエンコーダ308に供給される。ECCエンコーダ308では、例えば圧縮符号化データに対して符号化単位毎に積符号を用いたエラー訂正符号化が行われる。このECCエ

ンコーダ308より出力されるビデオデータは、記録アンプ309を介して記録ヘッドHrに供給され、テープ301の、当該ビデオデータに対応した再生信号が再生ヘッドHpで再生された部分に記録される。

### 【0017】

ここで、再生ヘッドHpで再生されてから記録ヘッドHrで記録されるまでの時間tで、テープ301は、当該時間tに比例した距離dだけ走行する。そのため、図20に示すように、記録ヘッドHrは、テープ301が距離dだけ走行したとき、再生ヘッドHpが時間t前にスキャンしたと同じ部分をスキャンするよう、段差（取り付け高さの差）hをもって取り付けられる。

### 【0018】

この場合、記録ヘッドHrは、テープ301に、範囲ARrで当接するようになれる。つまり、記録ヘッドHrがテープ301の端部に当たってテープが切断されるのを防止するために、記録ヘッドHrは、テープ301の端部から所定距離だけ内側に入った位置から、当該テープ301に当接するようになれる。そのため、再生ヘッドHpは、テープ301に、範囲ARPで当接するようになる。したがって、この範囲ARPが有効トラック長ということになる。

### 【0019】

上述したようにECCエンコーダにおけるシステムディレイTaが長くなると、時間tが長くなることから、距離dも大きくなり、それだけ段差hも大きくなり、従って有効トラック長ARPは短くなる。このように有効トラック長ARPが短くなる場合、有効トラック長ARPが長い場合と同じ記録データ容量を確保するために、記録波長が短くされる。しかし、記録波長が短くなると、S/Nが劣化する。

### 【0020】

この発明の目的は、入力データの入力が開始された後当該入力データの記録が開始されるまでの時間を短くすることにある。

### 【0021】

#### 【課題を解決するための手段】

この発明に係るデータ記録方法は、入力データに対して符号化単位毎に積符号

を用いたエラー訂正符号化を行い、このエラー訂正符号化された一個または複数個の符号化単位のデータを記録媒体の一本または複数本のトラックに記録するデータ記録方法であって、一本または複数本のトラックに対して、最初は内符号演算データ系列を構成する入力データのデータ列に内符号パリティを付加してなる第1のシンクブロックを順次記録し、この第1のシンクブロックの記録が終了した後に内符号演算データ系列を構成する外符号パリティのデータ列に内符号パリティを付加してなる第2のシンクブロックを順次記録するものである。

#### 【0022】

また、この発明に係るデータ記録装置は、入力データに対して符号化単位毎に積符号を用いたエラー訂正符号化を行い、このエラー訂正符号化された一個または複数個の符号化単位のデータを記録媒体の一本または複数本のトラックに対して記録するデータ記録装置であって、符号化単位毎に外符号演算データ系列を構成するデータ列に対して外符号パリティを演算して得る外符号パリティ演算手段と、符号化単位毎に内符号演算データ系列を構成するデータ列に対して内符号パリティを演算して得る内符号パリティ演算手段と、一本または複数本のトラックに対して、最初は内符号演算データ系列を構成する入力データのデータ列に内符号パリティ演算手段で演算して得られた内符号パリティを付加してなる第1のシンクブロックを記録し、この第1のシンクブロックの記録が終了した後に、内符号演算データ系列を構成する、外符号パリティ演算手段で演算されて得られた外符号パリティのデータ列に内符号パリティ演算手段で演算して得られた内符号パリティを付加してなる第2のシンクブロックを順次記録する記録手段とを備えるものである。

#### 【0023】

この発明においては、入力データに対して符号化単位毎に積符号を用いたエラー訂正符号化が行われ、このエラー訂正符号化された一個または複数個の符号化単位のデータが記録媒体、例えばテープの一本または複数本のトラックに記録される。

#### 【0024】

この場合、一本または複数本のトラックに対して、最初は内符号演算データ系

列を構成する入力データのデータ列にC1パリティ（内符号パリティ）を付加してなる第1のシンクブロックが順次記録される。そして、この第1のシンクブロックの記録が終了した後に、内符号演算データ系列を構成するC2パリティ（外符号パリティ）のデータ列に内符号パリティを付加してなる第2のシンクブロックが順次記録される。

#### 【0025】

このように、C2パリティは後からまとめて記録されるものであって、当該C2パリティに関しては記録されるまでに演算が終了していればよい。そのため、一本または複数本のトラックに記録すべき入力データのひとまとまりを全て取り込む前に、入力データの記録を開始できる。これにより、入力データの入力が開始された後当該入力データの記録が開始されるまでの時間を短くできる。

#### 【0026】

例えば、記録媒体の一本または複数本のトラックに対して、エラー訂正符号化されたn個（nは2以上の整数）の符号化単位のデータを記録する場合、C2パリティを演算するための演算器を、少なくともn個有するようにされる。

#### 【0027】

この場合、n個の符号化単位におけるC2パリティの演算がそれぞれ独立した演算器で並列的に行われるため、一本または複数本のトラックに記録すべき入力データのひとまとまりを全て取り込んだとき、このn個の符号化単位におけるC2パリティの演算も終了させることができる。そのため、C2パリティの記録開始を早めることができ、それに従って入力データの記録開始も早めることができる。

#### 【0028】

また例えば、記録媒体の一本または複数本のトラックに対して、エラー訂正符号化されたn個（nは2以上の整数）の符号化単位のデータを記録する場合、C2パリティを演算するための演算器がn個より少ない個数しかない場合には、n個の符号化単位のそれぞれにおけるC2パリティの演算を複数回に分けて処理するようになる。

#### 【0029】

演算器がn個より少ない場合には、一本または複数本のトラックに記録すべき入力データのひとまとまりを全て取り込んだ後に、n個の符号化単位におけるC2パリティの演算が開始される。しかし、上述したようにn個の符号化単位のそれぞれにおけるC2パリティの演算を複数回に分けて処理するものとすれば、一本または複数本のトラックに記録すべき入力データのひとまとまりを全て取り込む前から、n個の符号化単位におけるC2パリティの演算を開始できる。そのため、C2パリティの演算終了時点を早めることができ、それに従って入力データの記録開始時点も早めることができる。

### 【0030】

#### 【発明の実施の形態】

以下、図面を参照しながら、この発明の実施の形態について説明する。図1は、実施の形態としての記録再生装置100の基本的構成を示している。なお、説明を簡単にするため、オーディオ系については省略している。

### 【0031】

まず、記録系を説明する。入力端子111に入力されるデジタルのビデオデータV<sub>in</sub>はビデオ圧縮回路112に供給される。このビデオ圧縮回路112では、ビデオデータV<sub>in</sub>が例えば8×8画素の二次元ブロックに分割され、DCT等のブロック符号化を用いたデータ圧縮処理が行われる。

### 【0032】

ビデオ圧縮回路112より出力されるビデオデータ（圧縮符号化データ）V<sub>Da</sub>は、ECCエンコーダ113に供給される。このECCエンコーダ113では、ビデオデータV<sub>Da</sub>に対して符号化単位毎に積符号を用いたエラー訂正符号化が行われる。このECCエンコーダ113より出力される記録ビデオデータ（エラー訂正符号化データ）V<sub>Db</sub>は、記録アンプ114を介して記録ヘッドH<sub>r</sub>に供給され、磁気テープ120の記録トラックに順次記録される。

### 【0033】

この場合、ビデオデータV<sub>Db</sub>はデジタル変調処理を経ることなく、NRZ(Non-Return-to-Zero)の形式のままで記録される。しかし、ビデオデータV<sub>Db</sub>に対してデジタル変調処理を施した後に記録するようにしてもよい。

### 【0034】

次に、再生系を説明する。磁気テープ120の記録トラックより再生ヘッドH<sub>p</sub>で再生された再生信号は再生アンプ131で増幅され、さらに等化回路132で波形等化された後に復号回路133に供給される。復号回路133では、波形等化後の再生信号に対して、例えばビタビアルゴリズムを利用した復号化の処理が行われ、上述した記録系のECCエンコーダ113から出力される記録ビデオデータVDbに対応した再生ビデオデータVDcが得られる。

### 【0035】

復号回路133より出力される再生ビデオデータVDcはECCデコーダ134に供給される。このECCデコーダ134では、ビデオデータVDcに付加されているパリティ（C1パリティ、C2パリティ）を用いてエラー訂正が行われる。

### 【0036】

ECCデコーダ134より出力されるエラー訂正後のビデオデータ（圧縮符号化データ）VDdはビデオ伸長回路135に供給される。このビデオ伸長回路135では、記録系のビデオ圧縮回路112とは逆の処理によってデータ伸長が行われる。そして、このビデオ伸長回路135より出力されるビデオデータVoutは出力端子136に出力される。

### 【0037】

図2は、磁気テープ120の記録フォーマットを示している。磁気テープ120には、その長手方向に対して傾斜したトラックTが順次形成される。この場合、互いに隣接する2本のトラックTにおける記録アジマスは異なるようにされる。

### 【0038】

トラックTの走査開始端側および走査終了端側の領域は、それぞれビデオデータ領域ARVL, ARVUに割り当てられている。このビデオデータ領域ARVL, ARVUには、上述したECCエンコーダ113より出力される記録ビデオデータVDbが記録される。また、トラックTのビデオ領域ARVL, ARVUに挟まれた領域は、オーディオデータ領域ARAに割り当てられている。このオーデ

イオデータ領域ARAには、図1にはオーディオ系については図示していないが、記録オーディオデータが記録される。

#### 【0039】

図3は、図1に示す記録再生装置100の回転ドラムの構成を示す略線図である。回転ドラム140には、180度の巻き付け角度をもって、磁気テープ120が斜めに巻き付けられる。磁気テープ120は、回転ドラム140にこのように巻き付けられた状態で、所定速度で走行するようになる。

#### 【0040】

また、回転ドラム140には、4個の記録ヘッドRECA～RECDが配置されていると共に、これら4個の記録ヘッドRECA～RECDに対して180度の角間隔をもって4個の記録ヘッドRECE～RECHが配置されている。さらに、回転ドラム140には、記録ヘッドRECA～RECHに対応する8個の再生ヘッドPBA～PBHが、記録ヘッドRECA～RECHに対してそれぞれ90度の角間隔をもって配置されている。

#### 【0041】

図1に示す記録再生装置100の記録ヘッドHrは、実際には、上述したように8個の記録ヘッドRECA～RECHからなっている。また、図1に示す記録再生装置100の再生ヘッドHpは、実際には、上述したように8個の再生ヘッドPBA～PBHからなっている。1フィールドのビデオデータは、12トラックに記録される。記録時および再生時には、1回のスキャンでは4個のヘッドによって4トラックが同時に走査され、従って12トラックは3回のスキャンで走査される。

#### 【0042】

12トラックのビデオデータ領域ARVL, ARVUには、図4に示すように、ブロック0～ブロック35までの、36個のECCブロック（符号化単位のデータ）が記録される。1個のECCブロックは、以下のように構成されている。すなわち、226バイト×114バイトのデータ配列からなるビデオデータに対して、矢印bで示す外符号演算データ系列につき、各列のデータ（データ列）が例えば（126, 114）リードソロモン符号によって符号化され、12バイトの

C2パリティ（外符号パリティ）が生成される。さらに、これらビデオデータおよびC2パリティに対して、矢印aで示す内符号演算データ系列につき、各行のデータ（データ列）が例えば（242, 226）リードソロモン符号によって符号化され、16バイトのC1パリティが生成される。また、各々のデータ行の先頭には、それぞれ2バイトの大きさを有するシンクデータおよびIDが配される。

#### 【0043】

図5は、ECCブロックにおける1シンクブロックの構成を示している。先頭の2バイトはシンクデータである。続く2バイトはIDである。このIDには、当該1シンクブロックが12トラックのいずれに記録されたものかを識別するトラックID、当該1シンクブロックが一本の傾斜トラックに記録された複数のシンクブロックのいずれであるかを識別するシンクブロックIDが含まれる。また、12トラック毎に1セグメントが構成され、0～3のセグメント番号が順次繰り返し付与されるが、上述の2バイトのIDには、当該1シンクブロックが記録されるセグメントのセグメント番号を示すセグメントIDも含まれる。

#### 【0044】

また、このIDに、226バイトのビデオデータ（またはC2パリティ）および16バイトのC1パリティが続く。

#### 【0045】

上述したように、磁気テープ120の12トラックに、36個のECCブロック（図4参照）が記録される。図6は、1セグメントを構成する12トラックのビデオデータ領域ARVL, ARVUにおける各ECCブロックのシンクブロックの配置を示している。

#### 【0046】

図6Aに示すように、1回目にスキャンされる0～3の4トラックに関しては、ビデオデータ領域ARVLには0～35のECCブロックにおける0Row～20Rowまでの21Rowのシンクブロックが記録され、ビデオデータ領域ARVUには0～35のECCブロックにおける21Row～41Rowまでの21Rowのシンクブロックが記録される。

### 【0047】

また、2回目にスキャンされる4～7の4トラックに関しては、ビデオデータ領域ARVLには0～35のECCブロックにおける42Row～62Rowまでの21Rowのシンクブロックが記録され、ビデオデータ領域ARVUには0～35のECCブロックにおける63Row～83Rowまでの21Rowのシンクブロックが記録される。

### 【0048】

さらに、3回目にスキャンされる8～11の4トラックに関しては、ビデオデータ領域ARVLには0～35のECCブロックにおける84Row～104Rowまでの21Rowのシンクブロックが記録され、ビデオデータ領域ARVUには0～35のECCブロックにおける105Row～125Rowまでの21Rowのシンクブロックが記録される。

### 【0049】

ここで、0Rowのシンクブロックは、0～35のECCブロックのそれぞれにおける0番目のシンクブロックからなっており、これら36個のシンクブロックは、図6Bに示すように、0～4のトラックに、9シンクブロックずつ振り分けられて記録される。つまり、0のトラックには0, 18, 1, 19, 2, 20, 3, 21, 4のECCブロックにおける0番目のシンクブロックが記録され、1のトラックには22, 5, 23, 6, 24, 7, 25, 8, 26のECCブロックにおける0番目のシンクブロックが記録され、2のトラックには9, 27, 10, 28, 11, 29, 12, 30, 13のECCブロックにおける0番目のシンクブロックが記録され、さらに3のトラックには31, 14, 32, 15, 33, 16, 34, 17, 35のECCブロックにおける0番目のシンクブロックが記録される。

### 【0050】

以下、同様に、1～125Rowのシンクブロックは、それぞれ0～35のECCブロックにおける1～125番目のシンクブロックからなっており、各36個のシンクブロックは対応する4トラックに9シンクブロックずつ振り分けられて記録される。この場合、Row毎に、4トラックのそれぞれに記録される9シ

シンクブロックが取り出されるECCブロックがローテーションされる。なお、1シンクブロックは、図6Cに示すように、2バイトのシンクデータ、2バイトのID、226バイトのビデオデータ（またはC2パリティ）および16バイトのC1パリティからなっている。

#### 【0051】

ここで、0～11の12トラックには、0Row～125Rowのシンクブロックが順次記録される。この場合、0Row～113Rowのシンクブロックは、内符号演算データ系列を構成するビデオデータのデータ列にC1パリティが付加されてなるものであるが、114Row～125Rowのシンクブロックは、内符号演算データ系列を構成するC2パリティのデータ列にC1パリティが付加されてなるものである。

#### 【0052】

つまり、本実施の形態においては、12トラックに0～35の36個のECCブロックを記録する際に、図7に示すように、最初は内符号演算データ系列を構成するビデオデータのデータ列にC1パリティが付加されてなる第1のシンクブロックが順次記録され、この第1のシンクブロックの記録が終了した後に、内符号演算データ系列を構成するC2パリティのデータ列にC1パリティが付加されてなる第2のシンクブロックが順次記録される。

#### 【0053】

次に、図1に示す記録再生装置100におけるECCエンコーダ113の詳細を説明する。図8は、ECCエンコーダ113の構成を示している。

#### 【0054】

このECCエンコーダ113は、SDRAM(Synchronous Dynamic RAM)151と、このSDRAM151に対する書き込みおよび読み出しを行うためのインターフェースであるSDRAMインターフェース152とを有している。SDRAM151は、複数フィールドのビデオデータを記憶し得る容量を持っている。この場合、SDRAM151には、各フィールドについて、36個のECCブロック（図4参照）に対応したメモリ空間が用意されている。

#### 【0055】

また、ECCエンコーダ113は、ビデオ圧縮回路112から供給されるビデオデータ（圧縮符号化データ）VDAをSDRAM151に書き込むためのバッファとなる入力書き込みバッファ153と、SDRAM151から読み出される36個のECCブロックに対応したビデオデータを後述するC2エンコーダ155に供給するためのバッファとなるC2読み出しバッファ154とを有している。

#### 【0056】

また、ECCエンコーダ113は、各フィールドについて、36個のECCブロックにおけるC2パリティ（外符号パリティ）を演算するC2エンコーダ155を有している。このC2エンコーダ155は、C2パリティを演算する演算器を36個有しており、上述した36個のECCブロックにおけるC2パリティを並行して演算できる。

#### 【0057】

そのため、C2読み出しバッファ154からC2エンコーダ155には、36個のECCブロックに対応したビデオデータが並行して供給される。またその場合、各ECCブロックのビデオデータは、0～113のシンクブロックのデータの順に供給される。

#### 【0058】

また、ECCエンコーダ113は、各フィールドについて、C2エンコーダ155で演算された36個のECCブロックにおけるC2パリティをSDRAMに書き込むためのバッファとなるC2書き込みバッファ156と、各フィールドについて、SDRAM151から読み出される、36個のECCブロックに対応したビデオデータおよびC2パリティを出力するためのバッファとなる出力バッファ157とを有している。

#### 【0059】

また、ECCエンコーダ113は、出力バッファ157から記録順に出力される各シンクブロックのビデオデータ（またはC2パリティ）のデータ列に、シンクデータおよびIDを付加するSYNC・ID付加回路158と、このSYNC・ID付加回路158でシンクデータおよびIDが付加された各シンクブロック

のビデオデータに対してC1パリティを演算して付加し、記録ビデオデータVD<sub>b</sub>として出力するC1エンコーダ159とを有している。

#### 【0060】

図8に示すECCエンコーダ113の動作を説明する。

ビデオ圧縮回路112（図1参照）より供給されるビデオデータ（圧縮符号化データ）VD<sub>a</sub>は、入力書き込みバッファ153およびSDRAMインターフェース152を介してSDRAM151に書き込まれる。この場合、各フィールドのビデオデータVD<sub>a</sub>は、それぞれ、対応する36個のECCブロック（図4参照）のメモリ空間におけるビデオデータ領域に書き込まれる。

#### 【0061】

また、各フィールドについて、SDRAM151から読み出される36個のECCブロックに対応したビデオデータは、SDRAMインターフェース152およびC2読み出しバッファ154を介してC2エンコーダ155に供給される。この場合、C2読み出しバッファ154からC2エンコーダ155には、36個のECCブロックに対応したビデオデータが並行して供給される。またその場合、各ECCブロックのビデオデータは、0～113のシンクブロックのデータの順に供給される。

#### 【0062】

C2エンコーダ155では、各フィールドについて、36個の演算器によって、36個のECCブロックにおけるC2パリティが並行して演算される。このように各フィールドについて、C2エンコーダ155で演算される、36個のECCブロックにおけるC2パリティは、C2書き込みバッファ156およびSDRAMインターフェース152を介して、SDRAM151の、対応する36個のECCブロックのメモリ空間におけるC2パリティ領域に書き込まれる。

#### 【0063】

また、各フィールドについて、SDRAM151から読み出される36個のECCブロックに対応したビデオデータおよびC2パリティは、SDRAMインターフェース152を介して出力バッファ157に供給される。この出力バッファ157から記録順に出力される各シンクブロックのビデオデータ（またはC2パリ

ティ) は、SYNC・ID付加回路158でシンクデータおよびIDが付加された後にC1エンコーダ159に供給される。

#### 【0064】

そして、C1エンコーダ159では、シンクデータおよびIDが付加された各シンクブロックのビデオデータに対してC1パリティが演算されて付加され、記録ビデオデータVD<sub>b</sub>としての各シンクブロックが生成される。この記録ビデオデータVD<sub>b</sub>は、上述したように記録アンプ114（図1参照）に供給される。

#### 【0065】

次に、C2エンコーダ155の詳細を説明する。図9は、C2エンコーダ155の構成を示している。このC2エンコーダ155は、36個の演算器170-0～170-35を有している。これら演算器170-0～170-35は、それぞれ、一個のECCブロックにおけるC2パリティを演算するものである。

#### 【0066】

以下、演算器170-0～170-35を説明する。演算器170-0～170-35は同様に構成されていることから、ここでは演算器170-0についてのみ説明することにする。なお、この演算器170-0と同様の演算器は、特開平11-31977号公報に開示されている。

#### 【0067】

演算器170-0は、n個のマトリックス演算器200-0～200-(n-1)と、垂直方向の符号生成用のn個のRAM201-0～201-(n-1)と、排他的論理和を演算するn個のエクスクルーシブオアゲート（以下、「EX-ORゲート」という）203-1～203-nと、n個のセレクタ204-1～204-nとから構成されている。

#### 【0068】

ここで、マトリックス演算器200-0の出力はRAM201-0に書き込みデータとして供給され、セレクタ204-1～204-(n-1)の出力は、それぞれ、RAM201-1～201-(n-1)に書き込みデータとして供給される。マトリックス演算器200-1～200-(n-1)の出力は、それぞれ、セレクタ204-1～204-(n-1)のI側に供給されると共に、EX-ORゲート203-1～203-(n-1)に供

給される。

#### 【0069】

また、RAM<sub>201-0</sub>～<sub>201-(n-1)</sub>の読み出しデータは、それぞれ、EX-ORゲート<sub>203-1</sub>～<sub>203-n</sub>に供給される。EX-ORゲート<sub>203-1</sub>～<sub>203-(n-1)</sub>の出力は、それぞれ、セレクタ<sub>204-1</sub>～<sub>204-(n-1)</sub>のP側およびR側に供給され、EX-ORゲート<sub>203-n</sub>の出力はセレクタ<sub>204-n</sub>のP側に供給される。

#### 【0070】

セレクタ<sub>204-n</sub>のR側には“00h”が供給される。hは16進数であることを示している。EX-ORゲート<sub>203-n</sub>およびセレクタ<sub>204-n</sub>のI側には、入力データが供給される。そして、RAM<sub>201-(n-1)</sub>から出力データが取り出される。また、セレクタ<sub>204-n</sub>の出力は、マトリックス演算器<sub>200-0</sub>～<sub>200-(n-1)</sub>にフィードバックデータとして供給される。

#### 【0071】

セレクタ<sub>204-1</sub>～<sub>204-n</sub>には、それぞれ動作制御信号が供給される。この場合、セレクタ<sub>204-1</sub>～<sub>204-n</sub>は、初期化時にはI側に供給されたデータを出力し、演算時にはP側に供給されたデータを出力し、C2パリティの演算結果の出力時にはR側に供給されたデータを出力する。

#### 【0072】

なお、RAM<sub>201-0</sub>～<sub>201-(n-1)</sub>は、それぞれ、内符号演算データ系列のデータ長分のワード長、すなわち226バイトのワード長を有している。また、nはC2パリティのバイト数と同数、すなわち12である。

#### 【0073】

次に、演算器<sub>170-0</sub>の動作を説明する。

まず、符号化されるべき入力データの内、最初の1シンボル（ここでは、1バイト）のデータに基づいて、初期化が行われる。この場合、最初の1シンボルのデータとして、実際には、内符号演算データ系列のデータ長分、すなわち外符号演算データ系列に係る226系列にそれぞれ対応した226個のバイトデータが順次供給される。初期化時には、セレクタ<sub>204-1</sub>～<sub>204-n</sub>はそれぞれI側に

供給されたデータを出力する。そのため、この初期化時には、セレクタ204-1～204-(n-1)はそれぞれマトリックス演算器200-1～200-(n-1)の出力をそのまま後段に供給し、セレクタ204-nは入力データを出力する。

#### 【0074】

したがって、最初の1シンボルがそのままフィードバックデータとして、マトリックス演算器200-0～200-(n-1)に供給される。そして、マトリックス演算器200-0の演算結果がRAM201-0の、その時点における入力データの1シンボルの系列（外符号演算データ系列に係る226系列のいずれか）に対応したアドレス位置に格納されると共に、マトリックス演算器200-1～200-(n-1)の演算結果がそれぞれセレクタ204-1～204-(n-1)を介して、RAM201-1～RAM201-(n-1)の、その時点における入力データの1シンボルの系列に対応したアドレス位置に格納される。これにより、初期化が行われる。上述したように、最初の1シンボルとして226個のバイトデータが順次供給されることで、外符号演算データ系列に係る226系列分の初期化が行われる。

#### 【0075】

次に、C2パリティの演算が行われる。演算時には、セレクタ204-1～204-nはそれぞれP側に供給されたデータを出力する。そのため、この演算時には、セレクタ204-1～204-nはそれぞれEX-ORゲート203-1～203-nの出力を後段に供給する。

#### 【0076】

入力データのうち、2番目以降の各1シンボルのデータが、EX-ORゲート203-nに、順次供給される。この場合、2番目以降の各1シンボルのデータとして、実際には、外符号演算データ系列に係る226系列にそれぞれ対応した226のバイトデータが順次供給される。このEX-ORゲート203-nには、最終段のRAM201-(n-1)から読み出される、その時点における入力データの1シンボルの系列と対応した系列のデータが供給される。

#### 【0077】

このEX-ORゲート203-nでは、2番目以降の各1シンボルのデータとRAM201-(n-1)より読み出されたデータとの排他的論理和が演算される。この

EX-ORゲート203-nの出力は、セレクタ204-nを介し、フィードバックデータとして、各マトリックス演算器200-0～200-(n-1)に供給される。

#### 【0078】

そして、マトリックス演算器200-0の演算結果が、RAM201-0の、その時点における入力データの1シンボルの系列に対応したアドレス位置に格納される。EX-ORゲート203-1～203-(n-1)には、それぞれ、マトリックス演算器200-1～200-(n-1)の演算結果と、RAM201-0～201-(n-2)から読み出される、その時点における入力データの系列と対応した系列のデータとが供給され、排他的論理和が演算される。このEX-ORゲート203-1～203-(n-1)の出力は、それぞれ、セレクタ204-1～204-(n-1)を介して、RAM201-1～RAM201-(n-1)の、その時点における入力データの1シンボルの系列に対応したアドレス位置に格納される。

#### 【0079】

上述したように、2番目以降の各1シンボルのデータとして226個のバイトデータが順次供給されることで、外符号演算データ系列に係る226系列分の演算が行われていく。そして、入力データとして、外符号演算データ系列のデータ長分である114シンボル（114バイト）の全てが入力されることで、C2パリティの演算が終了する。この場合、RAM201-0～RAM201-(n-1)に、226系列分のC2パリティが格納された状態となる。

#### 【0080】

次に、演算結果である226系列分のC2パリティの出力が行われる。この出力時には、セレクタ204-1～204-nはそれぞれR側に供給されたデータを出力する。そのため、この出力時には、セレクタ204-1～204-(n-1)はそれぞれEX-ORゲート203-1～203-(n-1)の出力を後段に供給し、セレクタ204-nは“00h”を出力する。

#### 【0081】

この場合、“00h”がフィードバックデータとして、マトリックス演算器200-0～200-(n-1)に供給される。マトリックス演算器200-0～200-(n-1)は、フィードバックデータが“00h”であるときは、“00h”を出力する

。したがって、マトリックス演算器 $200_1 \sim 200_{-(n-1)}$ の出力と、RAM $201_0 \sim 201_{-(n-2)}$ の読み出しデータに基づいて動作する、最終段以外のEX-ORゲート $203_1 \sim 203_{-(n-1)}$ は、常にRAM $201_0 \sim 201_{-(n-2)}$ の読み出しデータをそのまま出力することになる。

#### 【0082】

すなわちこの場合には、RAM $201_0 \sim 201_{-(n-1)}$ は単にシフトレジスタとして動作する。したがって、最終段のRAM $201_{-(n-1)}$ から、外符号演算データ系列に係る226系列分のC2パリティが順次出力される。

#### 【0083】

以上説明したように本実施の形態においては、12トラックに36個のECCブロックを記録する際に、最初は内符号演算データ系列を構成するビデオデータのデータ列にC1パリティが付加されてなる第1のシンクブロックが順次記録され、この第1のシンクブロックの記録が終了した後に、内符号演算データ系列を構成するC2パリティのデータ列にC1パリティが付加されてなる第2のシンクブロックが順次記録される（図7参照）。

#### 【0084】

このように、C2パリティは後からまとめて記録されるものであって、当該C2パリティに関しては記録されるまでに演算が終了していればよい。そのため、12トラックに記録すべきビデオデータのひとまとまりである1フィールド分を、ECCエンコーダ113に全て取り込む前に、当該ビデオデータの記録を開始できる。これにより、ECCエンコーダ113にビデオデータの入力が開始された後当該ビデオデータの記録が開始されるまでの時間を短くできる。

#### 【0085】

図10は、ECCエンコーダ113におけるシステムディレイTbを示しており、実線aはビデオデータの入力経過、破線bはC2パリティおよびビデオデータの出力経過である。このように、本実施の形態におけるシステムディレイTbは、従来のシステムディレイTa（図18参照）に比べて、大幅に短縮される。

#### 【0086】

なお、上述実施の形態においては、C2エンコーダ155が36個の演算器1

70\_0～170\_35を有するものであったが、C2エンコーダ155を、例えば上述した演算器170\_0と同様の構成の一個の演算器のみで構成することもできる。これにより、回路規模、メモリ規模の削減を図ることができる。

#### 【0087】

この場合、12トラックに記録すべきビデオデータのひとまとまりである1フィールド分を、ECCエンコーダ113に全て取り込んだ後に、当該1個の演算器で、0～35の36個のECCブロックにおけるC2パリティを、順次演算するように構成できる。

#### 【0088】

図11は、その場合における、ビデオデータの入力経過（実線aで図示）、36個のECCブロック分のC2パリティの演算経過（一点鎖線cで図示）およびC2パリティおよびビデオデータの出力経過（破線bで図示）を示している。ここで、C2パリティの演算経過で、「データ」に対応した部分ではSDRAM151からビデオデータを読み出してC2エンコーダ155に入力してC2パリティを求める処理が行われ、「C2」に対応した部分ではC2エンコーダ155で求められたC2パリティをSDRAM151に書き込む処理が行われる。

#### 【0089】

この場合においても、C2パリティは後からまとめて記録されるものであって、当該C2パリティに関しては記録されるまでに演算が終了していればよい。そのため、12トラックに記録すべきビデオデータのひとまとまりである1フィールド分を、ECCエンコーダ113に全て取り込む前に、当該ビデオデータの記録を開始できる。

#### 【0090】

これにより、ECCエンコーダ113にビデオデータの入力が開始された後当該ビデオデータの記録が開始されるまでの時間が短くなる。この場合のECCエンコーダ133におけるシステムディレイTcは、従来のシステムディレイTa（図18参照）に比べて短縮されるが、上述したように36個の演算器170\_0～170\_35を有する場合のシステムディレイTb（図10参照）よりは長くなる。

**【0091】**

次に、C2エンコーダ155の他の構成を説明する。上述実施の形態においては、C2エンコーダ155が36個の演算器170-0～170-35を有するものであったが、当該C2エンコーダ155は、一個の演算器170を有し、各EC CブロックのそれぞれにおけるC2パリティの演算を複数回に分けて処理する。

**【0092】**

図12～図15を参照して、演算器170の構成を説明する。この図において、図9と対応する部分には同一符号を付して示している。

**【0093】**

演算器170は、n個のマトリックス演算器200-0～200-(n-1)と、垂直方向の符号生成用のn個のRAM201-0～201-(n-1)と、排他的論理和を演算するn個のEX-ORゲート203-1～203-nと、(n+1)個のセレクタ204-0～204-nとから構成されている。

**【0094】**

ここで、マトリックス演算器200-0の出力はセレクタ204-0のP側およびI側に供給される。セレクタ204-0～204-(n-1)の出力は、それぞれ、RAM201-0～201-(n-1)に書き込みデータとして供給される。マトリックス演算器200-1～200-(n-1)の出力は、それぞれ、セレクタ204-1～204-(n-1)のI側に供給されると共に、EX-ORゲート203-1～203-(n-1)に供給される。

**【0095】**

また、RAM201-0～201-(n-1)の読み出しデータは、それぞれ、EX-ORゲート203-1～203-nに供給される。EX-ORゲート203-1～203-(n-1)の出力は、それぞれ、セレクタ204-1～204-(n-1)のP側およびR側に供給され、EX-ORゲート203-nの出力はセレクタ204-nのP側に供給される。

**【0096】**

セレクタ204-nのR側には“00h”が供給される。hは16進数であることを示している。EX-ORゲート203-nおよびセレクタ204-nのI側およ

びW側には、入力データが供給される。そして、RAM201-(n-1)から出力データが取り出される。また、セレクタ204-nの出力は、マトリックス演算器200-0～200-(n-1)にフィードバックデータとして供給されると共に、セレクタ204-0～204-(n-1)のW側に供給される。

#### 【0097】

セレクタ204-0～204-nには、それぞれ動作制御信号が供給される。この場合、セレクタ204-0～204-nは、初期化時にはI側に供給されたデータを出力し、演算時にはP側に供給されたデータを出力し、C2パリティの演算結果（演算途中結果も含む）の出力時にはR側に供給されたデータを出力し、C2パリティの演算途中結果のロード時にはW側に供給されたデータを出力する。

#### 【0098】

なお、RAM201-0～201-(n-1)は、それぞれ、内符号演算データ系列のデータ長分のワード長、すなわち226バイトのワード長を有している。また、nはC2パリティのバイト数と同数、すなわち12である。

#### 【0099】

次に、演算器170を用いて、36個のECCブロック（図4参照）におけるC2パリティを演算する動作を説明する。ここでは、各ECCブロックにおけるC2パリティの演算を4回に分けて処理するものとする。

#### 【0100】

なお、SDRAM151には、0～35のECCブロックのビデオデータが並列的に書き込まれていく。すなわち、SDRAM151には、ブロック0の0番目のシンクブロックのビデオデータ、ブロック1の0番目のシンクブロックのビデオデータ、・・・、ブロック35の0番目のシンクブロックのビデオデータ、ブロック0の1番目のシンクブロックのビデオデータ、ブロック1の1番目のシンクブロックのビデオデータ、・・・、ブロック35の1番目のシンクブロックのビデオデータ、・・・、ブロック0の113番目のシンクブロックのデータ、ブロック1の113番目のビデオデータ、・・・、ブロック35の113番目のビデオデータの順に、0～35のECCブロックのビデオデータが書き込まれていく。

### 【0101】

最初に、ECCブロック0におけるC2パリティの1分割目の演算が行われる。この場合、まず、符号化されるべき入力データの内、最初の1シンボル（例えば1バイト）のデータがSDRAM151から読み出されて演算器170に入力データとして供給され、初期化が行われる。図12は、初期化時の状態を示している。この場合、最初の1シンボルのデータとして、実際には、内符号演算データ系列のデータ長分、すなわち外符号演算データ系列に係る226系列にそれぞれ対応した226個のバイトデータが順次供給される。初期化時には、セレクタ $204_0 \sim 204_{-n}$ はそれぞれI側に供給されたデータを出力する。そのため、この初期化時には、セレクタ $204_0 \sim 204_{-(n-1)}$ はそれマトリックス演算器 $200_0 \sim 200_{-(n-1)}$ の出力をそのまま後段に供給し、セレクタ $204_{-n}$ は入力データを出力する。

### 【0102】

したがって、最初の1シンボルがそのままフィードバックデータとして、マトリックス演算器 $200_0 \sim 200_{-(n-1)}$ に供給される。そして、マトリックス演算器 $200_0 \sim 200_{-(n-1)}$ の演算結果が、それぞれ、セレクタ $204_0 \sim 204_{-(n-1)}$ を介して、RAM $201_0 \sim RAM201_{-(n-1)}$ の、その時点における入力データの1シンボルの系列（外符号演算データ系列に係る226系列のいずれか）に対応したアドレス位置に格納される。これにより、初期化が行われる。上述したように、最初の1シンボルとして226個のバイトデータが順次供給されることで、外符号演算データ系列に係る226系列分の初期化が行われる。

### 【0103】

次に、C2パリティの演算が行われる。図13は演算時の状態を示している。演算時には、セレクタ $204_0 \sim 204_{-n}$ はそれぞれP側に供給されたデータを出力する。そのため、この演算時には、セレクタ $204_0$ はマトリックス演算器 $200_0$ の演算結果を後段に供給し、セレクタ $204_{-1} \sim 204_{-n}$ はそれEX-ORゲート $203_{-1} \sim 203_{-n}$ の出力を後段に供給する。

### 【0104】

入力データのうち、2番目以降の各1シンボルのデータが、EX-ORゲート

203-nに、順次供給される。この場合、2番目以降の各1シンボルのデータとして、実際には、外符号演算データ系列に係る226系列にそれぞれ対応した226個のバイトデータが順次供給される。このEX-ORゲート203-nには、最終段のRAM201-(n-1)から読み出される、入力データの1シンボルの系列と対応した系列のデータが供給される。

#### 【0105】

このEX-ORゲート203-nでは、2番目以降の各1シンボルのデータとRAM201-(n-1)より読み出されたデータとの排他的論理和が演算される。このEX-ORゲート203-nの出力は、セレクタ204-nを介し、フィードバックデータとして、各マトリックス演算器200-0～200-(n-1)に供給される。

#### 【0106】

そして、マトリックス演算器200-0の演算結果が、セレクタ204-0を介して、RAM201-0の、その時点における入力データの1シンボルの系列に対応したアドレス位置に格納される。EX-ORゲート203-1～203-(n-1)には、それぞれ、マトリックス演算器200-1～200-(n-1)の演算結果と、RAM201-0～201-(n-2)から読み出される、その時点における入力データの系列と対応した系列のデータとが供給され、排他的論理和が演算される。このEX-ORゲート203-1～203-(n-1)の出力は、それぞれ、セレクタ204-1～204-(n-1)を介して、RAM201-1～RAM201-(n-1)の、その時点における入力データの1シンボルの系列に対応したアドレス位置に格納される。

#### 【0107】

上述したように、2番目以降の各1シンボルのデータとして226個のバイトデータが順次供給されることで、外符号演算データ系列に係る226系列分の演算が行われていく。そして、入力データとして1分割目の最後のシンボルが入力されることで、RAM201-0～RAM201-(n-1)に、226系列分のC2パリティの1分割目までの演算途中結果が格納された状態となる。

#### 【0108】

次に、226系列分のC2パリティの演算途中結果の出力が行われる。図14は、この演算途中結果出力時の状態を示している。この出力時には、セレクタ2

$04_{-1} \sim 204_{-n}$ はそれぞれR側に供給されたデータを出力する。そのため、この出力時には、セレクタ $204_{-1} \sim 204_{-(n-1)}$ はそれぞれEX-ORゲート $203_{-1} \sim 203_{-(n-1)}$ の出力を後段に供給し、セレクタ $204_{-n}$ は“00h”を出力する。

### 【0109】

この場合、“00h”がフィードバックデータとして、マトリックス演算器 $200_{-0} \sim 200_{-(n-1)}$ に供給される。マトリックス演算器 $200_{-0} \sim 200_{-(n-1)}$ は、フィードバックデータが“00h”であるときは、“00h”を出力する。したがって、マトリックス演算器 $200_{-1} \sim 200_{-(n-1)}$ の出力と、RAM $201_{-0} \sim 201_{-(n-2)}$ の読み出しデータとに基づいて動作する、最終段以外のEX-ORゲート $203_{-1} \sim 203_{-(n-1)}$ は、常にRAM $201_{-0} \sim 201_{-(n-2)}$ の読み出しデータをそのまま出力することになる。

### 【0110】

すなわちこの場合には、RAM $201_{-0} \sim 201_{-(n-1)}$ は単にシフトレジスタとして動作する。したがって、最終段のRAM $201_{-(n-1)}$ から、外符号演算データ系列に係る226系列分のC2パリティの演算途中結果が順次出力され、この演算途中結果はSDRAM151に供給されて書き込まれる。

### 【0111】

このようにして、ECCブロック0におけるC2パリティの演算が1分割目まで行われる。以下、上述したECCブロック0の場合と同様にして、ECCブロック1～35におけるC2パリティの演算がそれぞれ1分割目まで順次行われる。

### 【0112】

次に、ECCブロック0におけるC2パリティの2分割目の演算が行われる。この場合、まず、1分割目までの演算による演算途中結果のロードが行われる。図15は、このロード時の状態を示している。

### 【0113】

ロード時には、セレクタ $204_{-0} \sim 204_{-n}$ はそれぞれW側に供給されたデータを出力する。そのため、このロード時には、セレクタ $204_{-n}$ は入力データを

出力する。そして、セレクタ $204_0 \sim 204_{-(n-1)}$ は、それぞれセレクタ $204_n$ から出力された入力データを後段のRAM $201_0 \sim 201_{-(n-1)}$ に供給する。これにより、SDRAM151から読み出された、ECCブロック0におけるC2パリティの演算途中結果がRAM $201_0 \sim 201_{-(n-1)}$ に格納される。これにより、演算器170の状態は、1分割目の最終演算状態に復帰する。

#### 【0114】

この状態からECCブロック0におけるC2パリティの2分割目の演算が続行される。そして、この2分割目までのC2パリティの演算途中結果が出力されてSDRAM151に書き込まれる。この場合の演算動作および演算途中結果の出力動作は、上述した1分割目の場合と同様である。以下、上述したECCブロック0の場合と同様にして、ECCブロック1～35におけるC2パリティの演算がそれぞれ2分割目まで順次行われる。

#### 【0115】

以下、同様にして、ECCブロック1～35におけるC2パリティの演算が、それぞれ2分割目の最終演算状態から続行されて3分割目まで行われ、さらにECCブロック1～35におけるC2パリティの演算が、それぞれ3分割目の最終演算状態から続行されて4分割目まで行われる。4分割目における最終演算状態では、RAM $201_0 \sim 201_{-(n-1)}$ に、演算途中結果ではなく、最終的に求めるべきC2パリティが格納された状態となる。したがって、ECCブロック0～35におけるC2パリティの演算がそれぞれ4分割目まで終了した時点で、SDRAM151には、0～35の36個のECCブロックにおけるC2パリティが格納された状態となる。

#### 【0116】

このように、ECCエンコーダ155を一個の演算器170で構成することで、回路規模、メモリ規模を削減できる。また、その場合、各ECCブロックにおけるC2パリティの演算を複数回に分けて処理することで、12トラックに記録すべきビデオデータのひとまとまりである1フィールド分を、ECCエンコーダ113に全て取り込む前に、C2パリティの演算を開始できる。したがって、演算を分割しない場合に比べて、C2パリティの演算終了時点を早めることができ

、その分だけビデオデータの記録開始時点を早めることができる。これにより、ECCエンコーダ113にビデオデータの入力が開始された後当該ビデオデータの記録が開始されるまでの時間を短くできる。

#### 【0117】

図16は、その場合における、ビデオデータの入力経過（実線aで図示）、36個のECCブロック分のC2パリティの演算経過（一点鎖線cで図示）およびC2パリティおよびビデオデータの出力経過（破線bで図示）を示している。

#### 【0118】

ここで、C2パリティの演算経過で、「データ」に対応した部分ではSDRAM151からビデオデータを読み出してC2エンコーダ155に入力してC2パリティを求める処理が行われ、「C2」に対応した部分ではC2エンコーダ155で求められた演算結果（演算途中結果またはC2パリティ）をSDRAM151に書き込む処理およびこの演算結果（演算途中結果）をSDRAM151から読み込む処理（ロード処理）が行われる。この場合のECCエンコーダ133におけるシステムディレイTdは、演算を分割しない場合のシステムディレイTc（図11参照）に比べて、大幅に短縮される。

#### 【0119】

なお、上述では、各ECCブロックにおけるC2パリティの演算を4分割して処理する例を説明したが、この分割数は一例であって、これに限定されるものではない。分割数を多くすることで、C2パリティの演算開始時点を早めることができる。しかし、分割数を多くすることで、SDRAM151に対する書き込みおよび読み出しに要する時間が増え、C2パリティの演算に要する時間が増加し、演算終了時点が遅れる。したがって、分割数は、これらを考慮して、システムディレイTdを最小にするように設定すればよい。

#### 【0120】

また、上述では、ECCエンコーダ155が1個の演算器170で構成されるものを示したが、ECCエンコーダ155を2個以上で36個より少ない個数の演算器で構成し、各ECCブロックにおけるC2パリティの演算を分割して処理することも考えられる。例えば、2個の演算器170で構成でき、その場合には

各演算器170は18個のECCブロックにおけるC2パリティの演算を担当することになる。また例えば、4個の演算器170で構成でき、その場合には各演算器170は9個のECCブロックにおけるC2パリティの演算を担当することになる。

#### 【0121】

また、上述のRAM201-0～201-(n-1)は、特開平11-31977号公報で公開されているように、外符号演算時に横系列の入力信号を縦系列に変換することなく外符号演算を可能にするために、内符号演算データ系列のデータ長分のワード長（226バイト）としているが、別途横系列を縦系列に変換する機能ブロックを有する構成であるならば、RAM201-0～201-(n-1)は、ワード長（226バイト）以下でもよく、またフリップフロップで置き換えるてもかまわない。

#### 【0122】

また、上述実施の形態においては、この発明をビデオデータの記録に適用したものであるが、この発明はオーディオデータの記録にも同様に適用できる。また、記録媒体も磁気テープに限定されるものではなく、磁気ディスク、光ディスク、その他の記録媒体に記録するものにも同様に適用できる。

#### 【0123】

##### 【発明の効果】

この発明によれば、入力データに対して符号化単位毎に積符号を用いたエラー訂正符号化を行い、このエラー訂正符号化された一個または複数個の符号化単位のデータを記録媒体の一本または複数本のトラックに記録する際に、最初は内符号演算データ系列を構成する入力データのデータ列に内符号パリティを付加してなる第1のシンクブロックを順次記録し、その後に内符号演算データ系列を構成する外符号パリティのデータ列に内符号パリティを付加してなる第2のシンクブロックを順次記録するものであり、入力データの入力が開始された後当該入力データの記録が開始されるまでの時間を短くできる。

#### 【0124】

また、この発明によれば、n個の符号化単位のそれぞれにおける外符号パリティ

イの演算を複数回に分けて処理することで、 $n$ 個の符号化単位のそれぞれにおける外符号パリティの演算を、 $n$ 個よりも少ない個数の演算器で演算する場合に、一本または複数本のトラックに記録すべき入力データのひとまとまりを全て取り込む前から $n$ 個の符号化単位における外符号パリティの演算を開始でき、外符号の演算終了時点を早めることができる。したがって、入力データの記録開始も早めることができ、よって入力データの入力が開始された後当該入力データの記録が開始されるまでの時間を短くできる。

### 【0125】

これにより、例えば、記録されたビデオデータを直ちに再生して確認する際に、入力ビデオデータによる画像に対して、再生ビデオデータによる画像が時間的に大きくずれることを回避でき、ユーザによる確認作業を容易とできる。また、プリリード編集を実行するために、記録ヘッドと再生ヘッドの取り付け高さを大きくずらすことを回避でき、有効トラック長の短縮によるS/Nの劣化を防止できる。

### 【図面の簡単な説明】

#### 【図1】

実施の形態としての記録再生装置の構成を示すブロック図である。

#### 【図2】

記録フォーマットを説明するための図である。

#### 【図3】

磁気ヘッドの配置を説明するための図である。

#### 【図4】

ビデオデータのECCブロックの構成を示す図である。

#### 【図5】

ビデオデータの1シンクブロックの構成を示す図である。

#### 【図6】

12トラック内のシンクブロックの配置を説明するための図である。

#### 【図7】

C2パリティの配置を示す図である。

**【図8】**

ECCエンコーダの構成を示すブロック図である。

**【図9】**

C2エンコーダの構成を示すブロック図である。

**【図10】**

ECCエンコーダ（演算器36個の場合）におけるシステムディレイを示す図である。

**【図11】**

ECCエンコーダ（演算器1個、処理分割せず）におけるシステムディレイを示す図である。

**【図12】**

演算器1個でC2パリティの演算を分割処理する際の初期化時の状態を示す図である。

**【図13】**

演算器1個でC2パリティの演算を分割処理する際の演算時の状態を示す図である。

**【図14】**

演算器1個でC2パリティの演算を分割処理する際の演算結果出力時の状態を示す図である。

**【図15】**

演算器1個でC2パリティの演算を分割処理する際の演算途中結果ロード時の状態を示す図である。

**【図16】**

ECCエンコーダ（演算器1個、4分割処理）におけるシステムディレイを示す図である。

**【図17】**

従来のC2パリティの配置例を示す図である。

**【図18】**

従来のECCエンコーダにおけるシステムディレイを示す図である。

**【図19】**

プリリード編集システムの一例を示す図である。

**【図20】**

プリリード編集システムにおける、システムディレイと、記録ヘッド、再生ヘッドの段差との関係を示す図である。

**【符号の説明】**

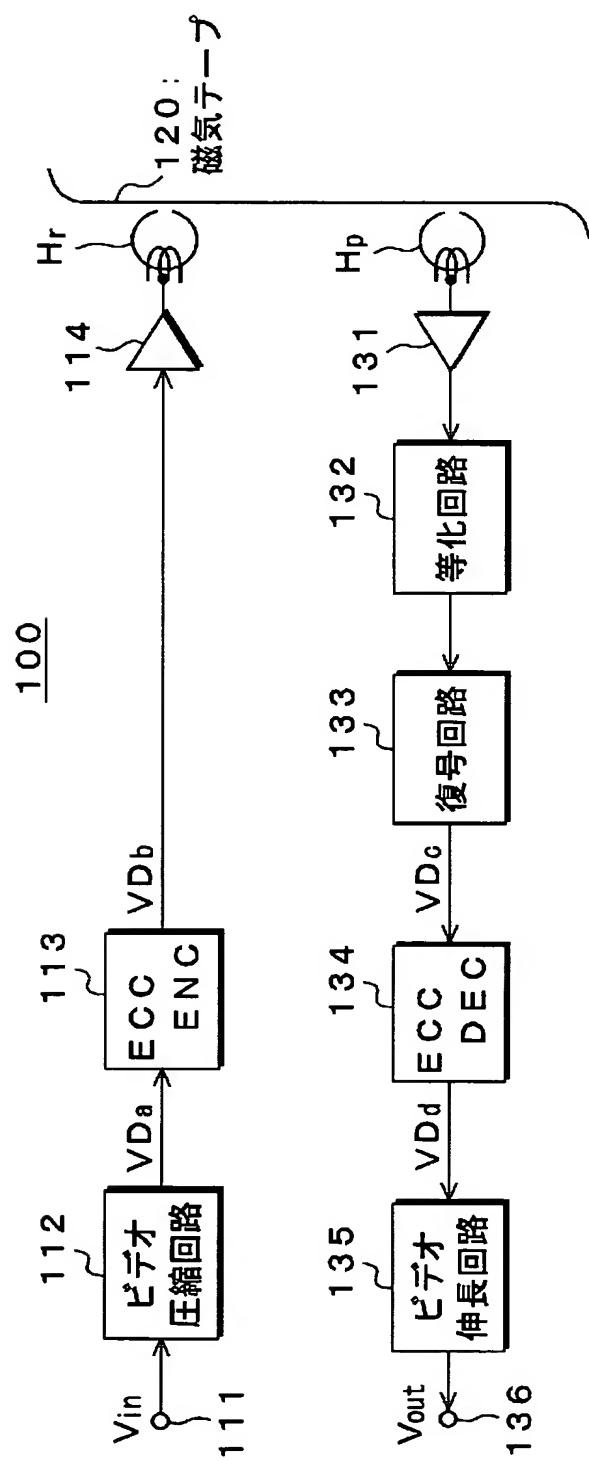
100・・・記録再生装置、111・・・入力端子、112・・・ビデオ圧縮回路、113・・・ECCエンコーダ、114・・・記録アンプ、120・・・磁気テープ、131・・・再生アンプ、132・・・等化回路、133・・・復号回路、134・・・ECCデコーダ、135・・・ビデオ伸長回路、136・・・出力端子、140・・・回転ドラム、151・・・SDRAM、152・・・SDRAMインターフェース、153・・・入力書き込みバッファ、154・・・C2読み出しバッファ、155・・・C2エンコーダ、156・・・C2書き込みバッファ、157・・・出力バッファ、158・・・SYNC・ID付加回路、159・・・C1エンコーダ、170, 170-0~170-35・・・演算器

【書類名】

図面

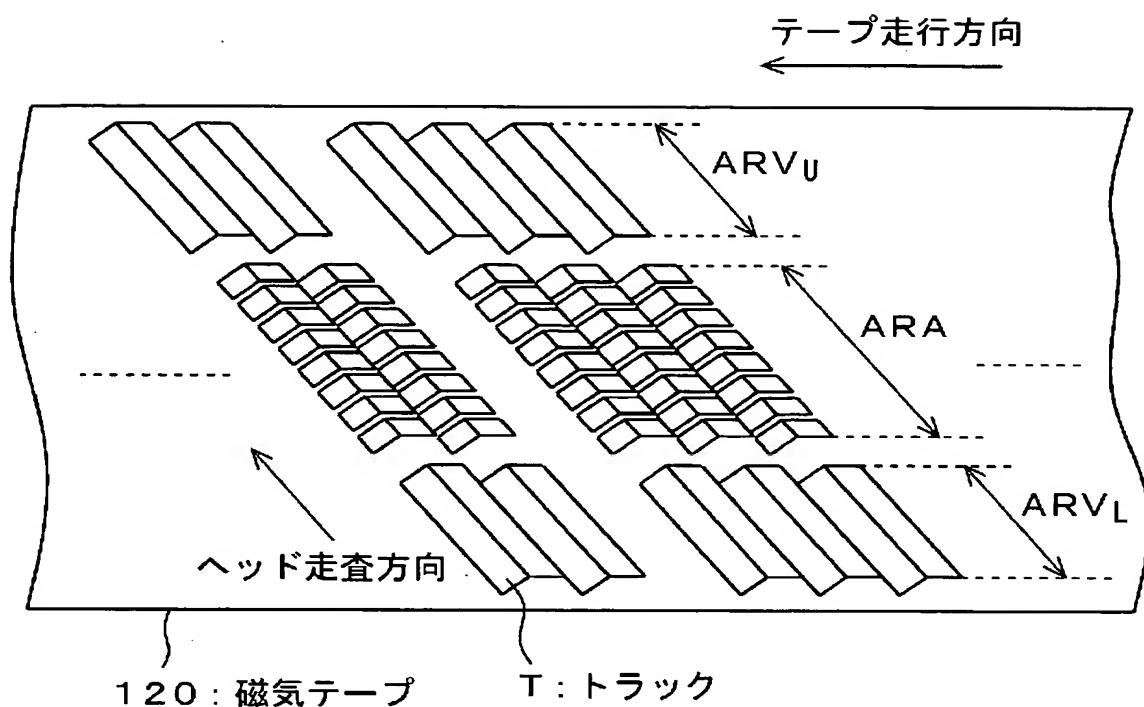
【図1】

## 記録再生装置



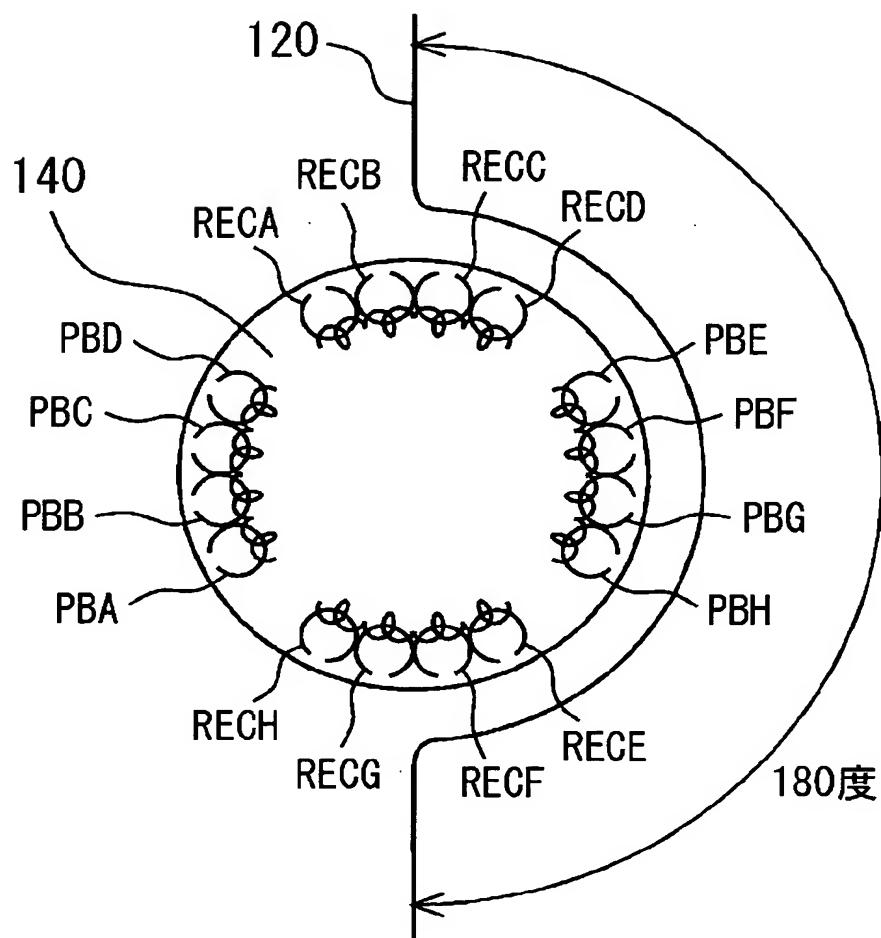
【図2】

## 記録フォーマット



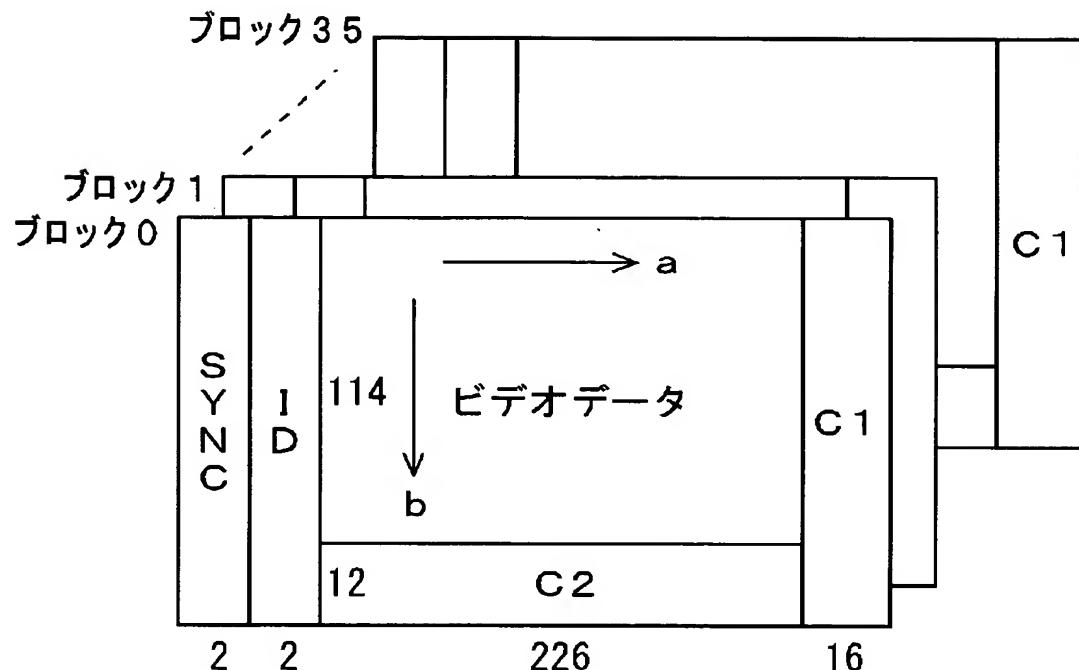
【図3】

## 磁気ヘッドの配置

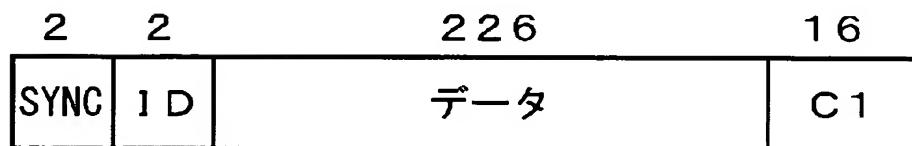


【図4】

## ECC ブロック (ビデオデータ)

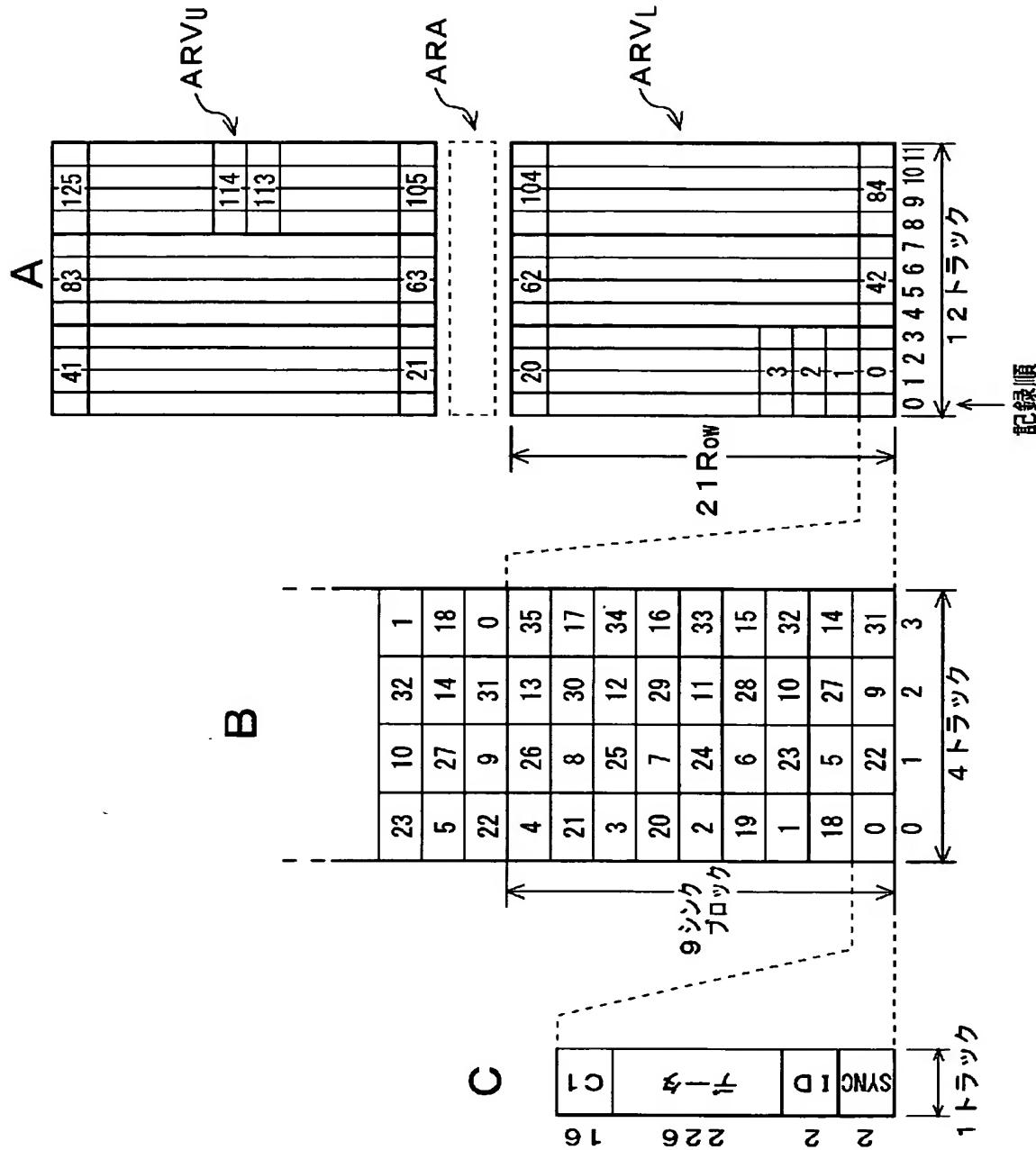


【図5】

1シンクブロック  
(ビデオデータ)

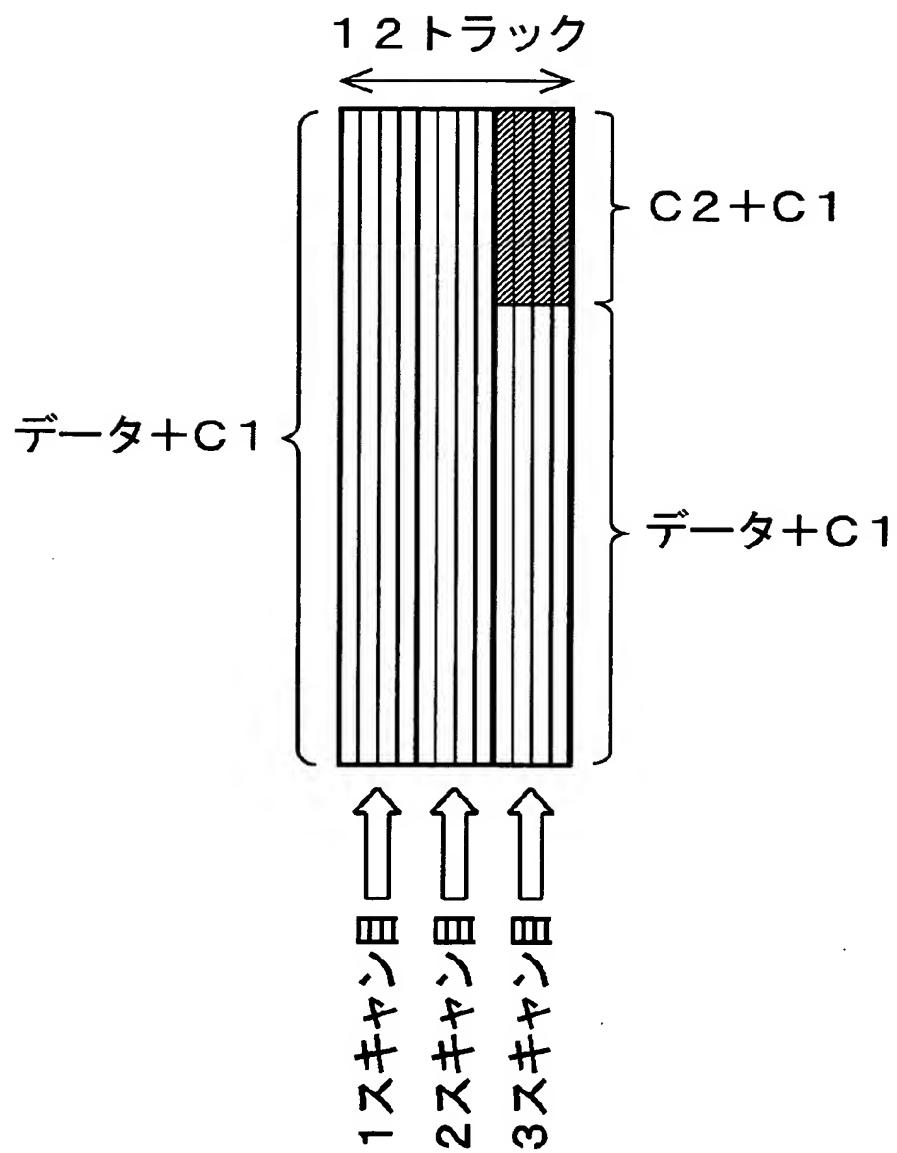
【図6】

## 12 トラック内のシンクブロックの配置



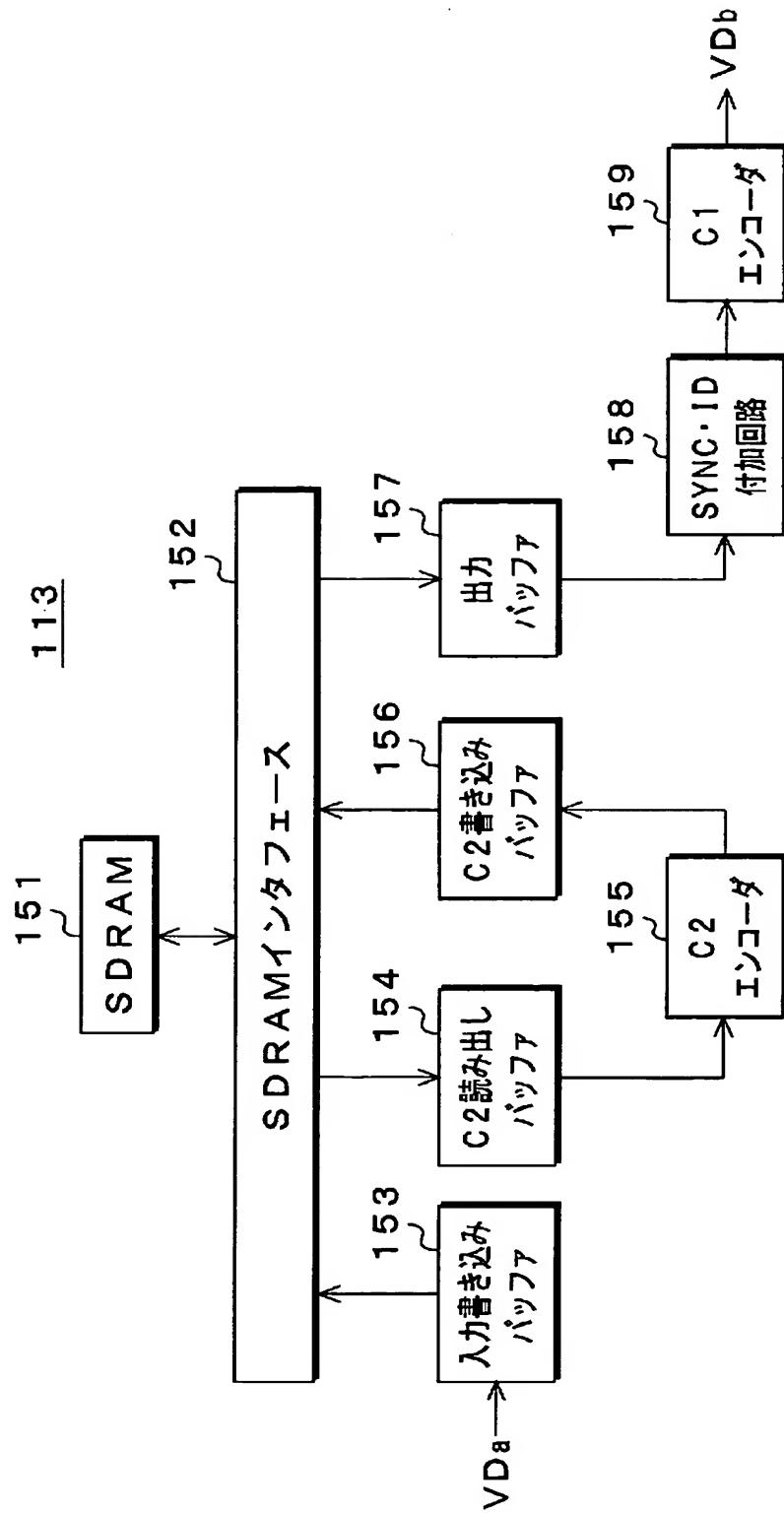
【図 7】

## C2 パリティの配置

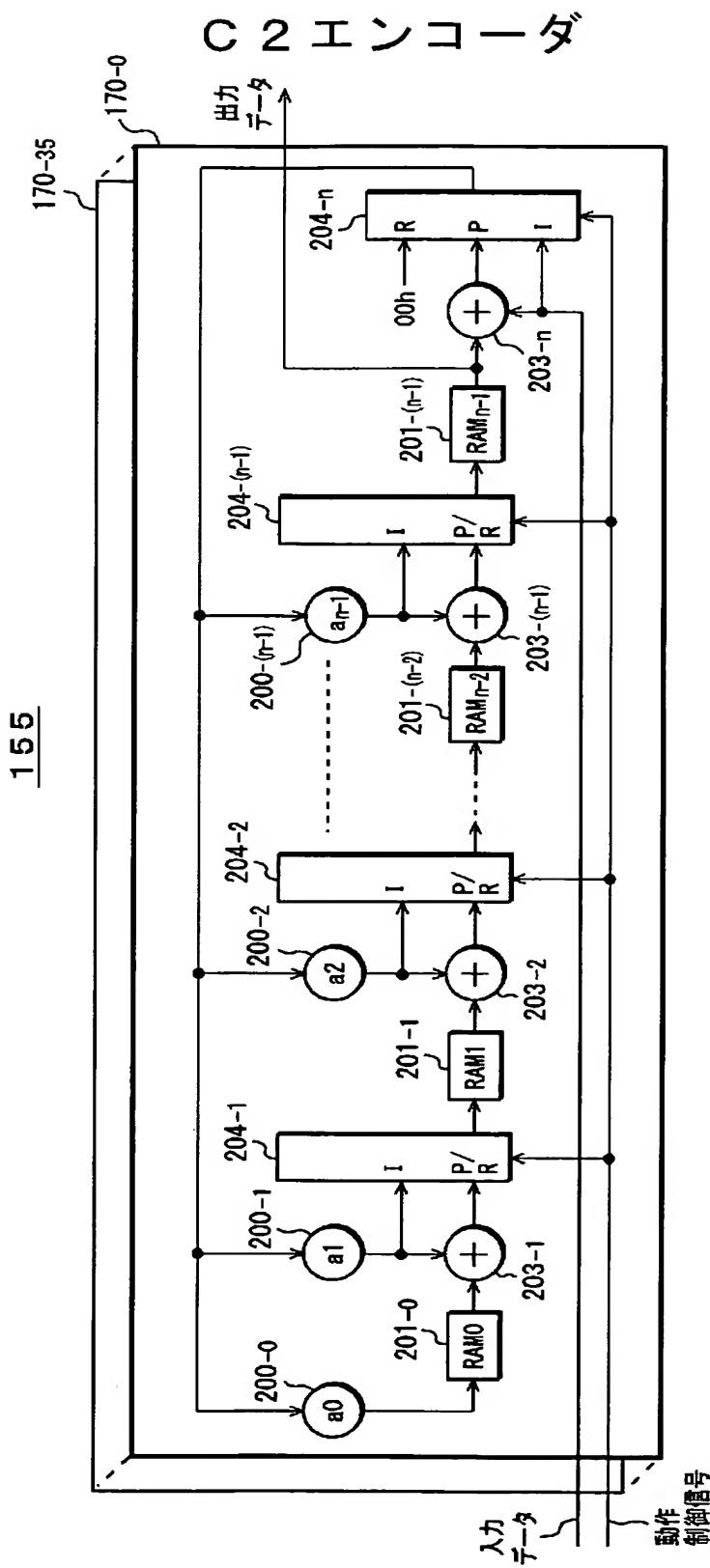


【図8】

## ECCエンコーダ

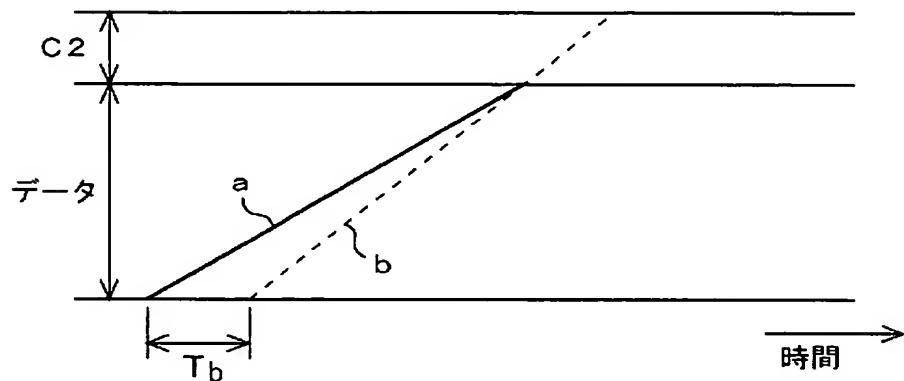


【図9】



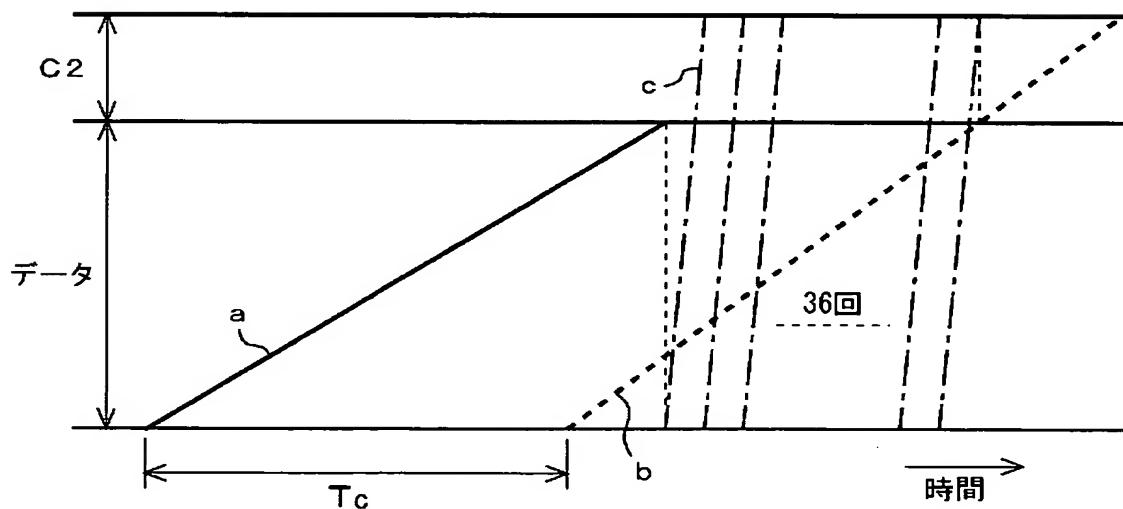
【図10】

ECCエンコーダにおけるシステムディレイ  
(演算器36個の場合)



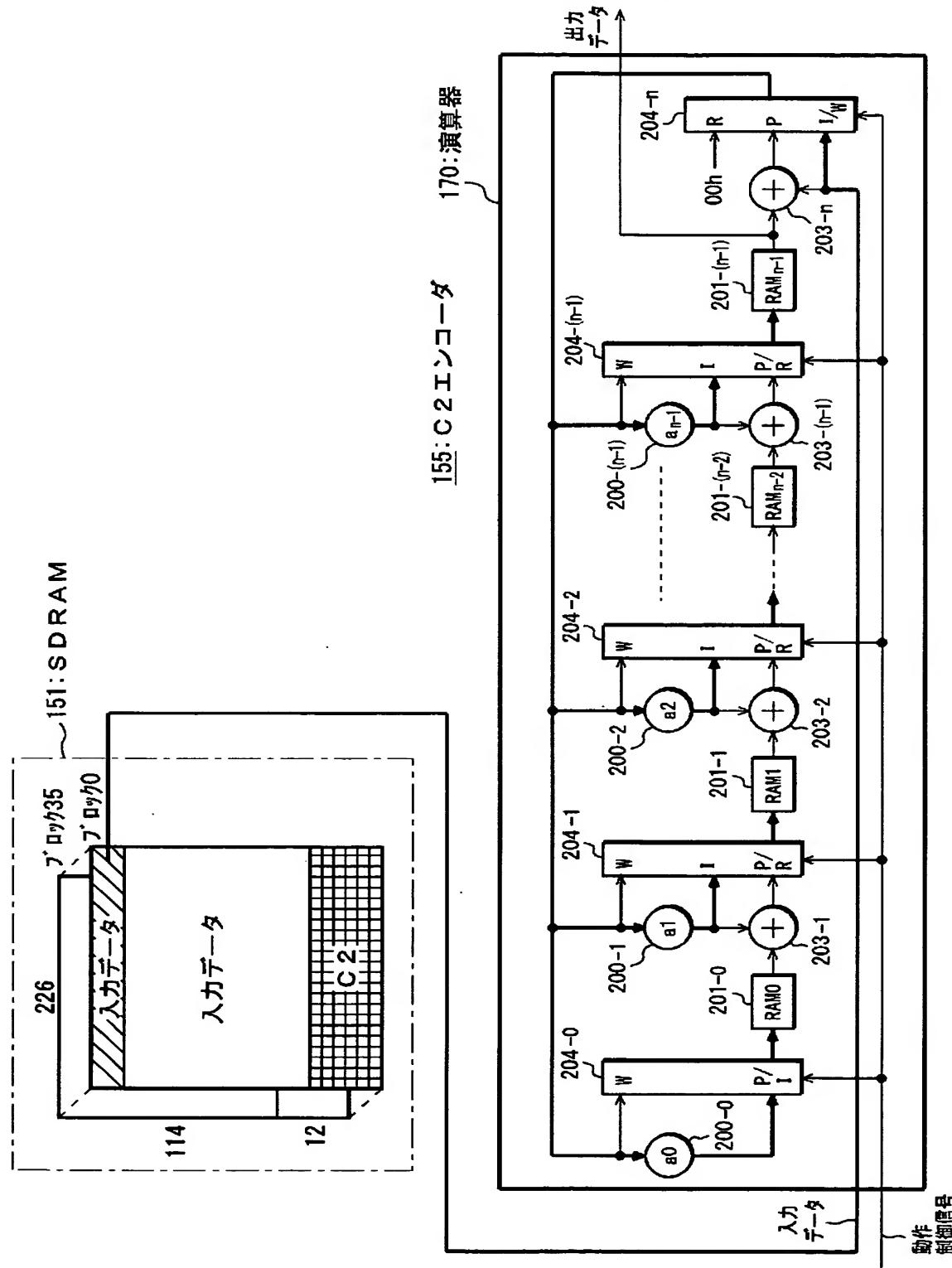
【図11】

ECCエンコーダにおけるシステムディレイ  
(演算器1個、処理分割せず)



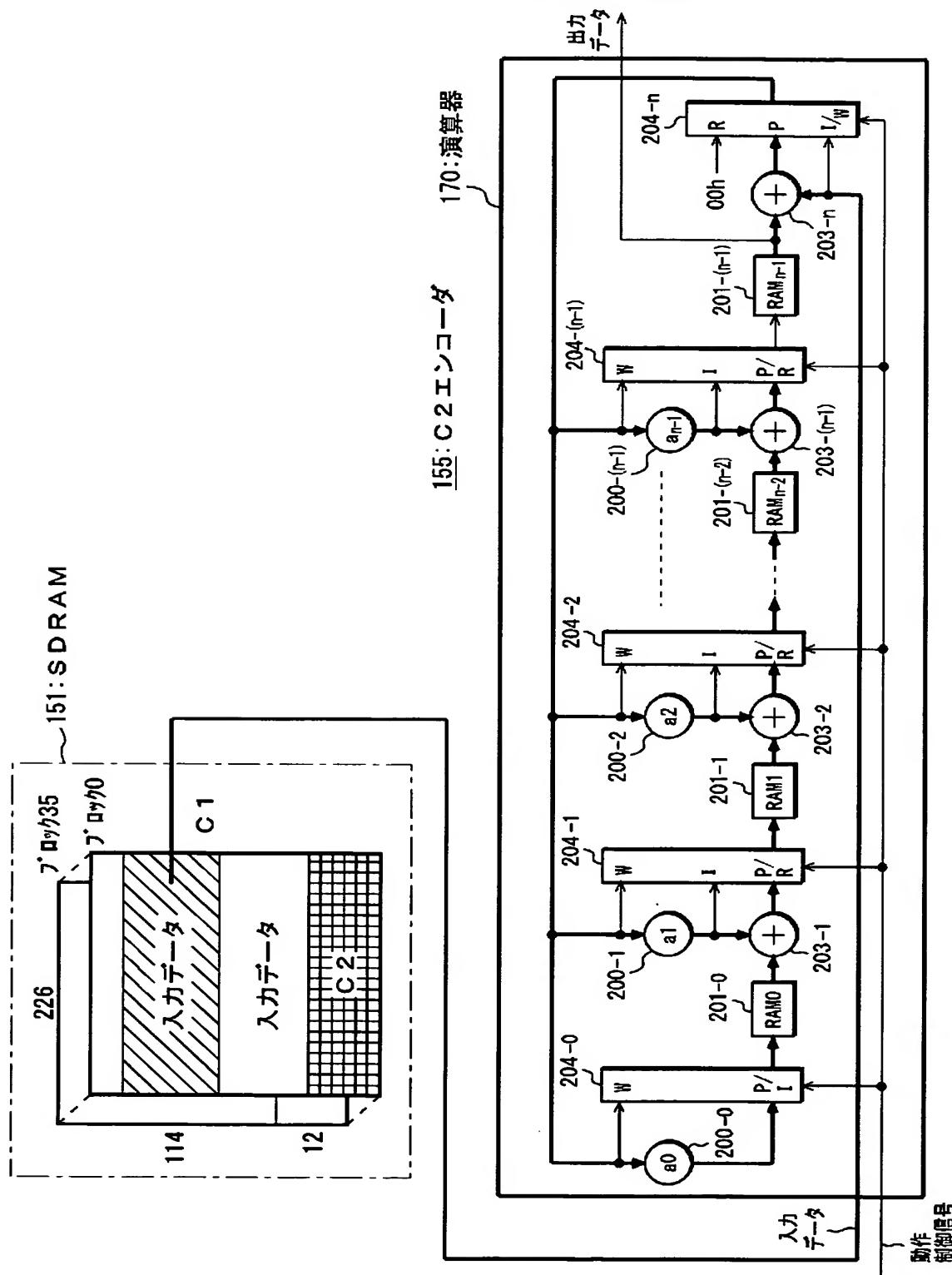
【図12】

## C2 パリティの演算(初期化時)



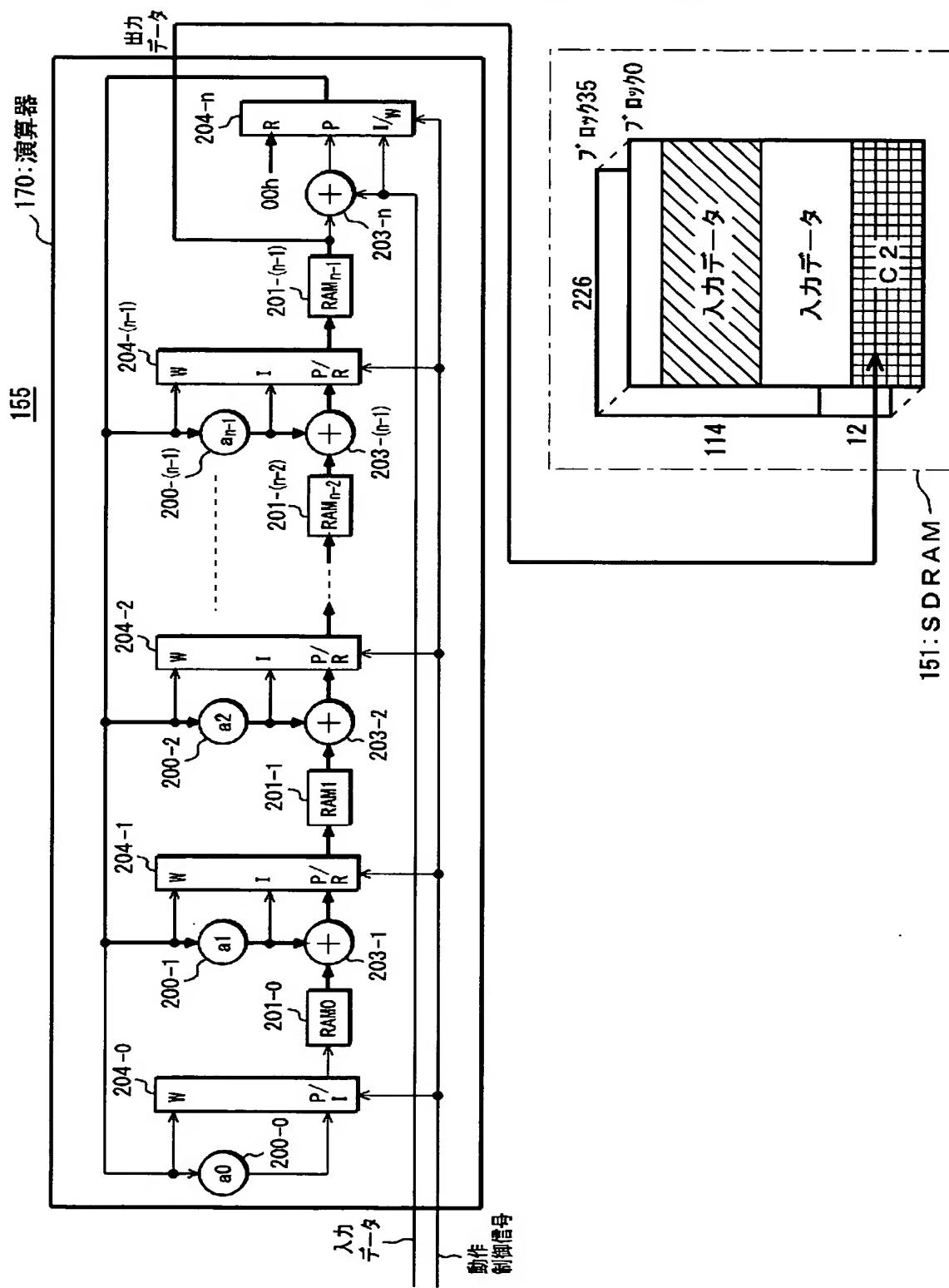
【図13】

## C2パーティの演算(演算時)



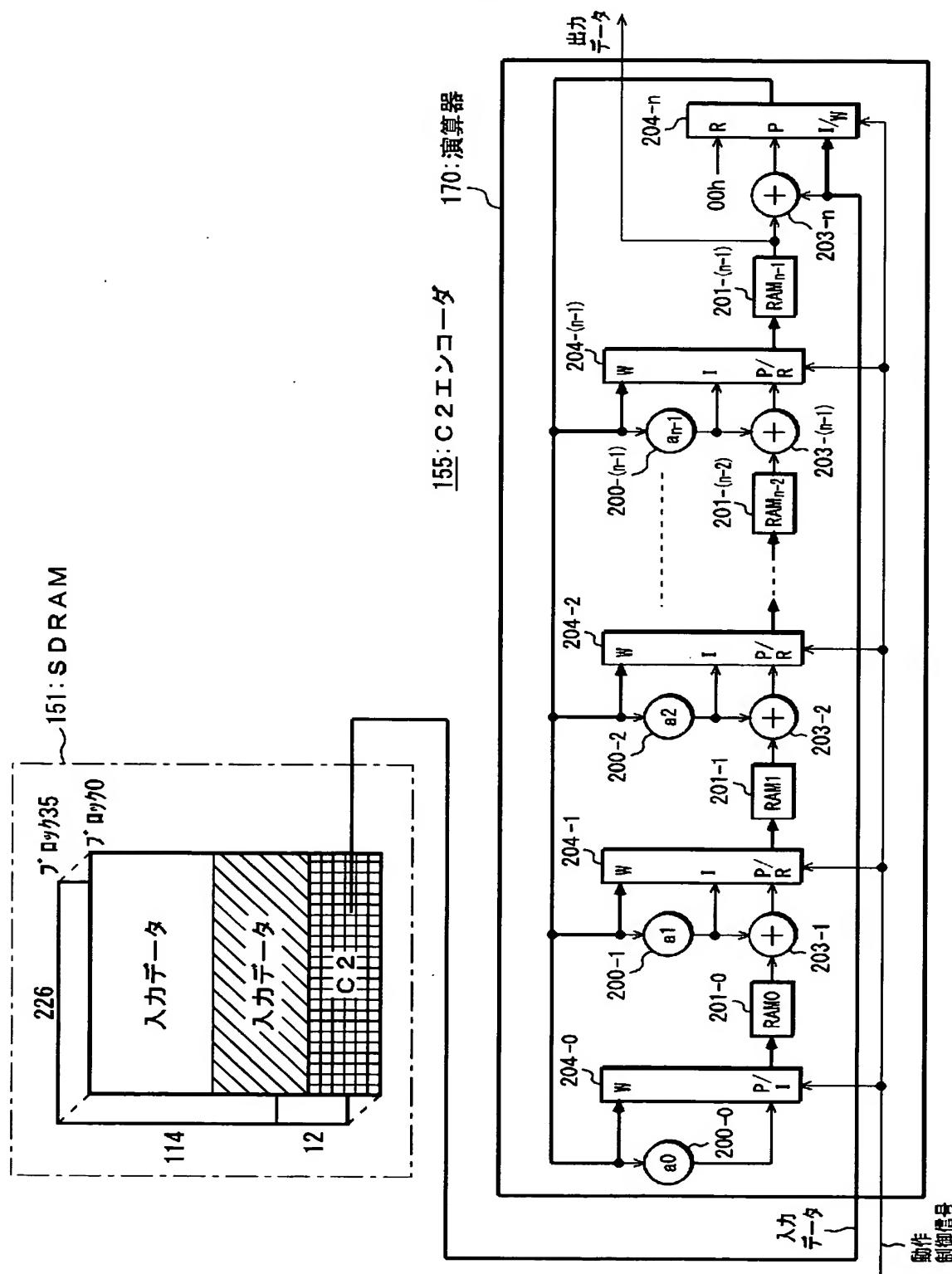
【図14】

## C2パリティの演算(演算結果出力時)



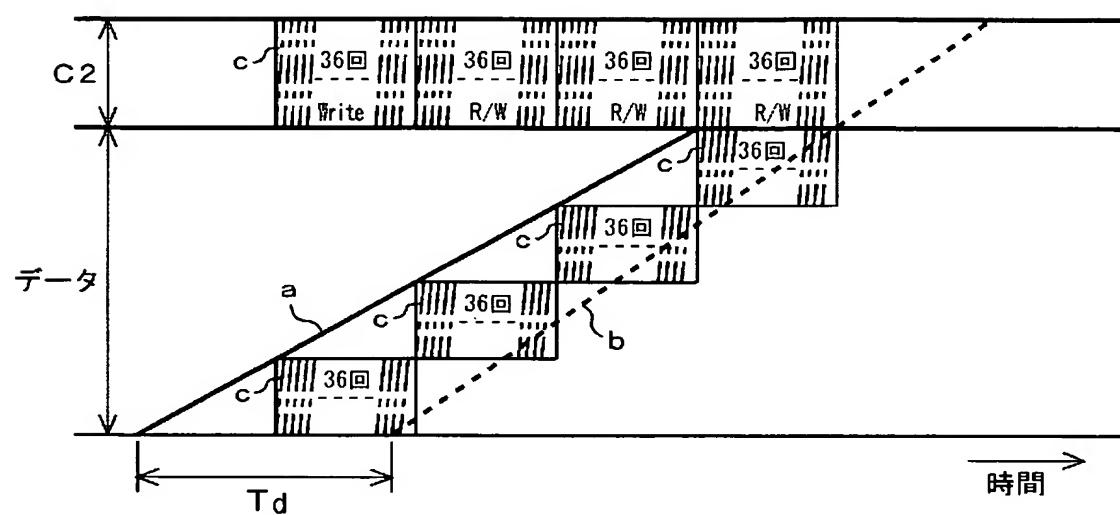
【図15】

## C2パリティの演算(演算途中結果口一時)



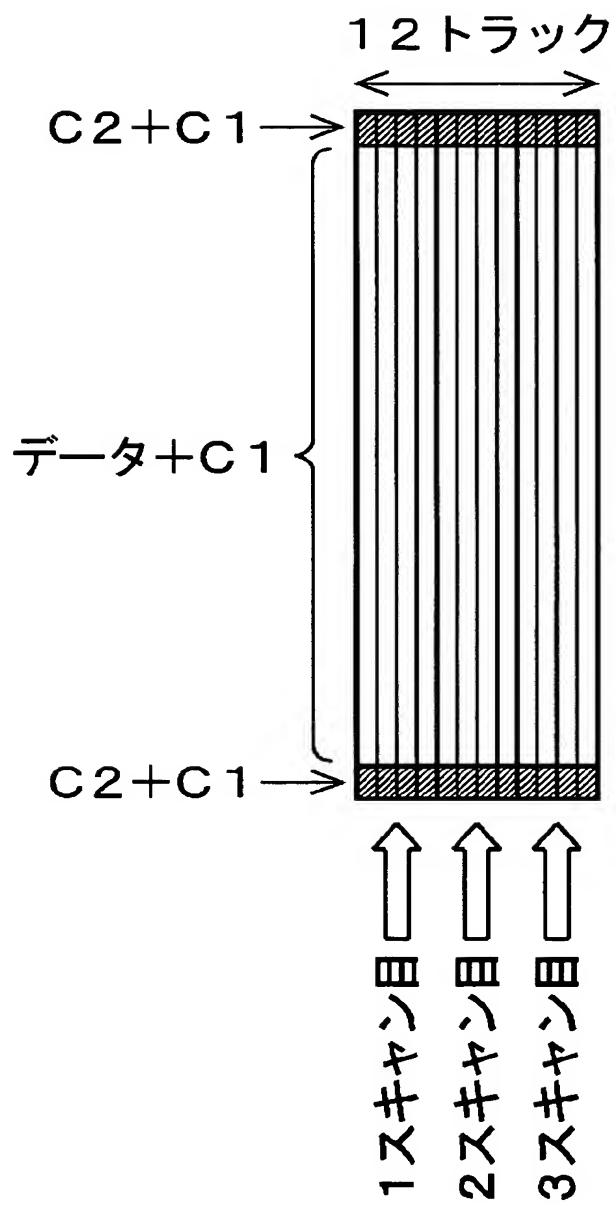
【図16】

## ECCエンコーダにおけるシステムディレイ (演算器1個、4分割処理)



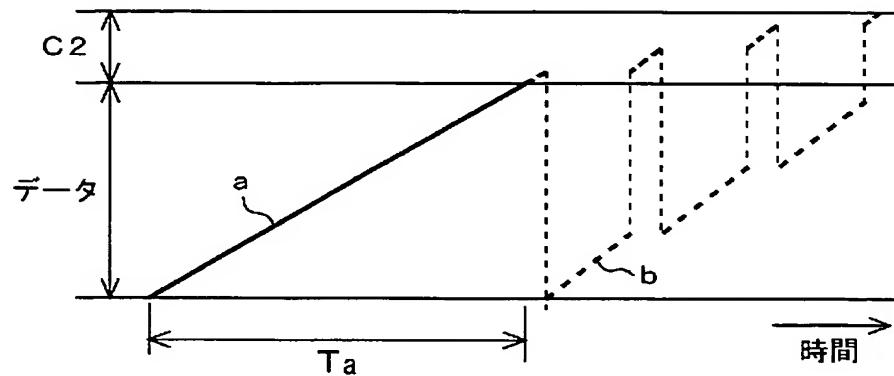
【図17】

## 従来のC2パリティの配置



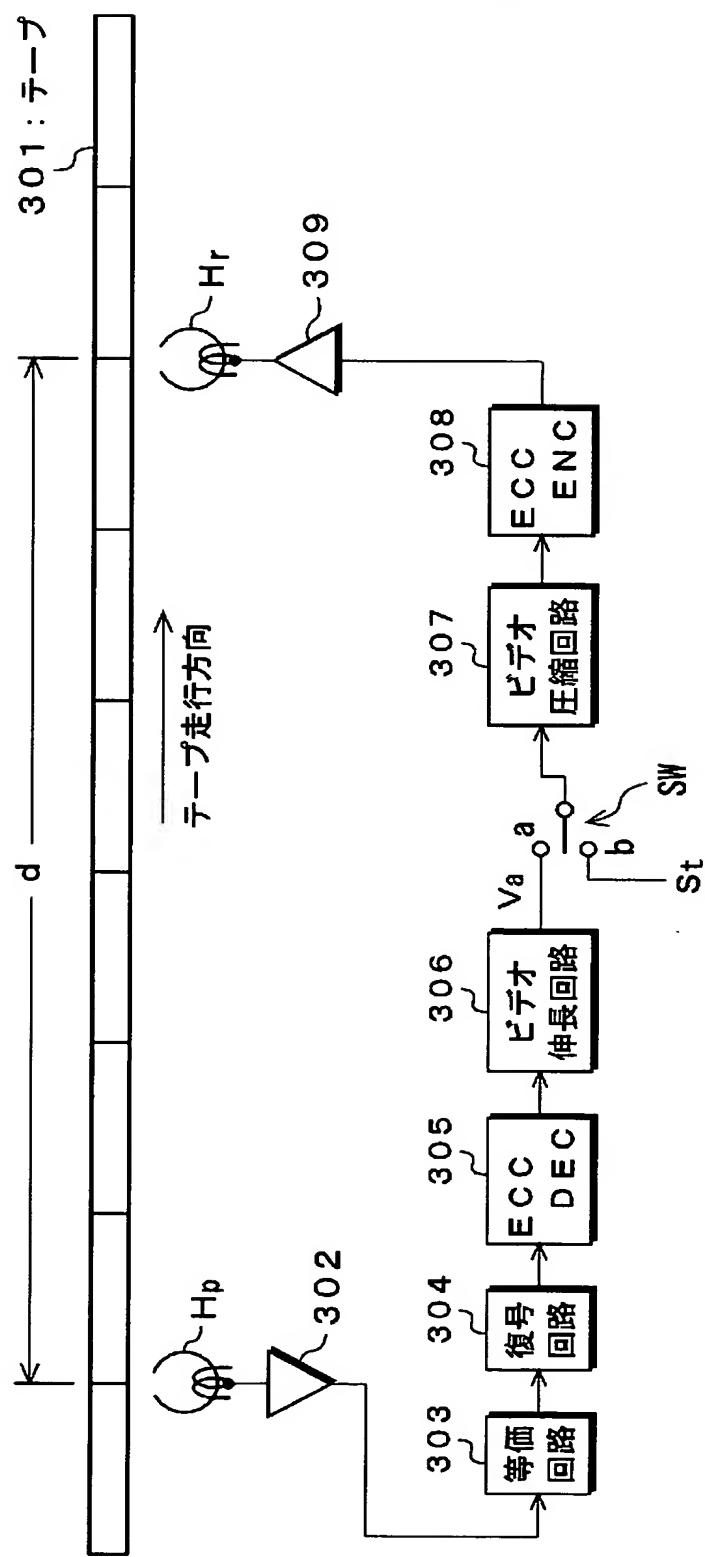
【図18】

## ECCエンコーダにおけるシステムディレイ (従来)



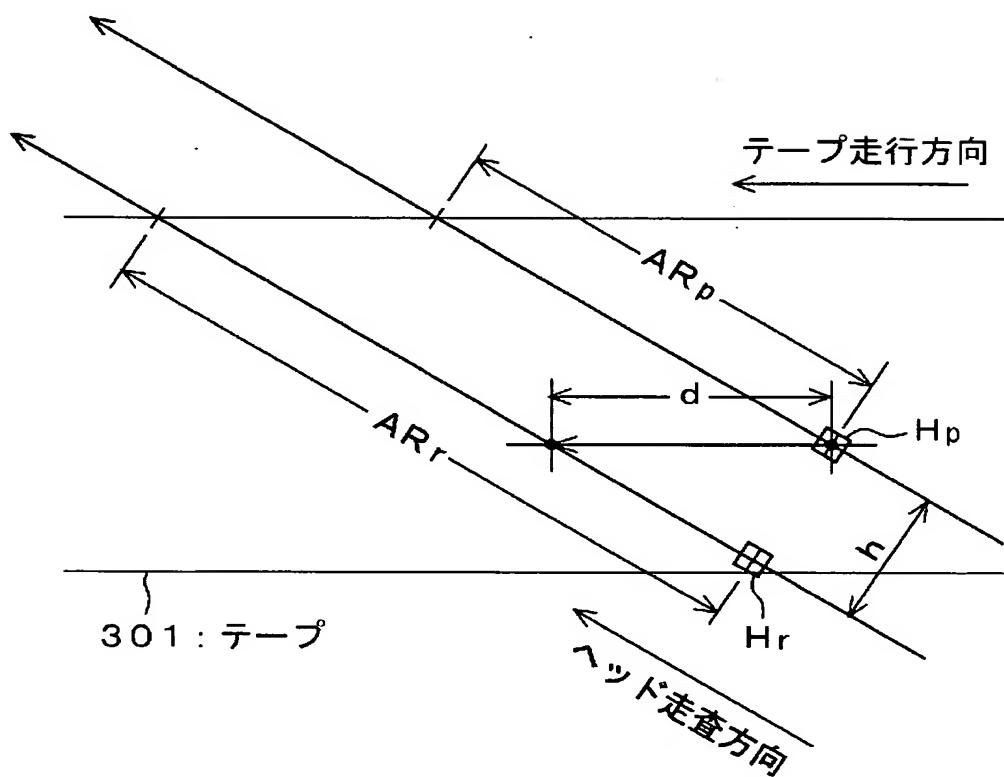
【図19】

## プリリード編集



【図20】

システムディレイと、記録ヘッド、再生ヘッドの段差との関係



【書類名】 要約書

【要約】

【課題】 入力データの入力が開始された後当該入力データの記録が開始されるまでの時間を短くする。

【解決手段】 例えば、12トラックに、36個の積符号を用いたECCブロックを、3スキャンで記録する。最初は内符号演算データ系列を構成するビデオデータのデータ列にC1パリティが付加されてなる第1のシンクブロックを順次記録する。この第1のシンクブロックの記録が終了した後に、内符号演算データ系列を構成するC2パリティのデータ列にC1パリティが付加されてなる第2のシンクブロックを順次記録する。C2パリティを後からまとめて記録するものであって、当該C2パリティに関しては記録されるまでに演算が終了していればよい。そのため、12トラックに記録すべきビデオデータのひとまとまりである1フィールド分を、ECCエンコーダに全て取り込む前に、当該ビデオデータの記録を開始できる。

【選択図】 図7

特願 2003-101296

出願人履歴情報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住所 東京都品川区北品川6丁目7番35号  
氏名 ソニー株式会社